

UNIVERSIDAD AUTÓNOMA DE MADRID
ESCUELA POLITÉCNICA SUPERIOR



**Grado en Ingeniería de Tecnologías y Servicios de
Telecomunicación**

TRABAJO FIN DE GRADO

**CONTROL DE CONVERTIDOR CONMUTADO MEDIANTE
FPGA**

David Escalona Moreno

Tutor: Ángel de Castro Martín

Julio 2016

CONTROL DE CONVERTIDOR CONMUTADO MEDIANTE FPGA

AUTOR: David Escalona Moreno

TUTOR: Ángel de Castro Martín



Human Computer Technology Laboratory

Dpto. TEC

Escuela Politécnica Superior

Universidad Autónoma de Madrid

Julio de 2016

Resumen

Este Trabajo Fin de Grado tiene como propósito realizar el control en lazo cerrado de un modelo de convertidor conmutado. En concreto, el control que se llevará a cabo será de un modelo de convertidor reductor de tipo *Buck*. Los convertidores conmutados son fuentes de alimentación que se encuentran en continuo estudio debido al alto rendimiento que presentan. Este tipo de fuentes de alimentación a diferencia de otras fuentes, como lo son los reguladores lineales, no incluyen elementos disipativos en su conjunto de manera que no se ven necesitados en disipar energía, sino que la almacenan, cediéndola una vez transcurrido un período de tiempo.

Hasta los últimos años los controles de este tipo de fuentes ha sido mayoritariamente analógico, pero la propensión a un mundo digitalizado ha propiciado que las líneas de investigación se centren cada vez más en el control de convertidores conmutados de manera digital. Además, los resultados de estos últimos estudios complementado a las nuevas características y sencillez que presenta el control digital ha originado la proclividad hacia este tipo de control y todo parece indicar que el control analógico quedará desplazado por un control digital.

Para realizar un correcto control del convertidor y no dañar los dispositivos con los que se trabaja o a nosotros mismos es importante confeccionar un buen diseño del elemento con el que se realiza el control. En este caso la pieza con la que se realiza el control es el regulador, de manera que es importante constituirlo de un modo minucioso, desde su desarrollo teórico hasta su implementación en VHDL. A causa de las altas frecuencias a las que conmutan los elementos que hacen de interruptor aparecen señales de decenas de kHz o incluso MHz, lo que nos obliga a su elaboración y diseño en formato de coma fija.

En último lugar es importante validar y ratificar el diseño con respecto al modelo teórico, realizando el control con dispositivos físicos reales que actualmente están en el mercado. Por un lado se integrará el control diseñado previamente en dispositivos de tipo FPGA de la familia 7 de Xilinx motivado por el auge en el que están este tipo de dispositivos basados en hardware específico. Por último, con el fin de comparar el buen diseño del control realizado en este trabajo, se integrará de nuevo el regulador en un nuevo dispositivo de reciente salida al mercado conocido como SpCard cuya característica principal es que a la propia placa viene asociado un software con el que se realiza de manera sencilla el control. Ambos dispositivos incluyen ADC integrado, importante para realizar la conversión de señal analógica a la salida de la planta a digital.

La integración en ambos dispositivos, su comparativa y ratificación con el modelo teórico servirán para corroborar el control digital realizado así como para presentar las conclusiones y líneas futuras a este trabajo de fin de grado.

Palabras clave

Convertidor conmutado, Fuente de alimentación, FPGA, Control digital, Convertidor Buck, Lazo cerrado, Lazo abierto, Regulador, Coma fija, Convertidor CC/CC, función de transferencia, Estabilidad, Sobreoscilación, Lugar de las raíces, Respuesta al escalón, Resolución.

Abstract

This end of degree project has the aim of carrying out the control in closed loop of a model of switched converter, in particular, the control of a buck converter. The switched converters are power supplies that are found in continuous study due to its high performance. In contrast to other power supplies like lineal regulators, the, switched converters do not include dissipative components so they do not dissipate power.

To date the studies have been based on the control in an analogical way, but certainly the tendency to a digital world, has made that the investigation lines focus mainly on the control of switched converters in a digital way. Furthermore, the results of these last studies complemented with the new features together with the easy use that present the digital control have caused the tendency to this type of control.

To do a proper control of the converter and avoid damages in the devices we work with or ourselves, it is important to develop a good implementation of the control. We have to be very careful with the design, from the theoretical development to its implementation in VHDL. Because of the high frequency switching of tens kHz or even MHz, the implementation has been carried out using fixed point format.

Finally it is important to validate the design comparing it to the theoretical model. In the first place, we have to integrate the control that we have previously designed in FPGA devices, specifically from the Family 7 of Xilinx, motivated by the big boom of this. Lastly, in order to argue the good design of the control made in this project, we will integrate the new regulator into a new commercial device that is known as SpCard, which is newly released in the market. Its main feature is that it includes a software, with which the control is made in an easy way.

Both devices include integrated ADC, which is important to carry out the conversion of analog signals to digital ones.

The integration in both devices, its comparative and ratification with the theoretical model are used for verifying the digital control proposed in this end of degree project.

Keywords

Switched converter, Power supply, FPGA, Digital control, Buck converter, Closed loop, Open loop, Regulator, Fixed point, DC/DC converter, transfer function, Stability, Overshoot, Root locus, Step response, Resolution.

Agradecimientos

En primer lugar quiero comenzar dando las gracias a mi tutor, Ángel de Castro. Gracias por despertar en mí, desde la asignatura “Sistemas de Control”, el interés hacia esta materia, por brindarme la oportunidad de llevar a cabo este trabajo y sobre todo gracias por tu dedicación y apoyo durante la realización del mismo, sin tu ayuda este trabajo no hubiera sido posible. Gracias también a todos los compañeros del HCTlab, por su acogida y por ayudarme siempre que lo he necesitado.

No quiero olvidarme del resto de profesores ni de la propia Universidad, gracias por enseñarme todo lo que he aprendido.

Gracias a mis amigos, los toledanos, los de toda la vida. Son muchos años juntos y a pesar de la lejanía y los momentos de estudio siempre habéis tenido un hueco para reunirnos y hacerme pasar un buen rato. Gracias por todos esos buenos momentos y los que nos quedan por vivir.

Y como no, a todos mis compañeros, bueno más que compañeros amigos, que han compartido conmigo esta etapa de mi vida. Gracias por vuestro apoyo y cariño durante estos años, gracias por estar ahí y hacer más llevadero el día a día. Os deseo de corazón todo lo mejor en el futuro.

Y por supuesto gracias a toda mi familia, tanto a los Escalona como a los Moreno, gracias por vuestra paciencia durante mis ausencias y por vuestros constantes ánimos durante estos años de estudio. En especial a mis padres Use y Antonio y a mis hermanos Sandra y Javier gracias por vuestro apoyo incondicional y porque gracias a vosotros hoy soy quien soy.

Para todos vosotros, gracias por hacer esto posible.

*David Escalona Moreno
Junio de 2016*

Índice general

CAPÍTULO 1 Introducción	1
1.1 Motivación.....	1
1.2 Objetivos.....	1
1.3 Organización de la memoria.....	2
 CAPÍTULO 2 Estado del arte	 5
2.1 Fuentes de alimentación	5
2.2 Control de convertidor conmutado	7
 CAPÍTULO 3 Diseño	 9
3.1 Diseño teórico del regulador.....	9
3.1.1 Regulador diseñado	12
3.1.2 Otros reguladores diseñados	16
3.2 Implementación en VHDL y coma fija	18
3.3 Integración en FPGA ZYNC	24
3.3.1 XADC.....	24
 CAPÍTULO 4 Resultados Experimentales.....	 25
4.1 Regulador en lazo abierto	26
4.2 Regulador en lazo cerrado	30
4.3 Comparativa con SpCard.....	32
4.3.1 Comparativa SpCard lazo abierto	33
4.3.2 Comparativa SpCard lazo cerrado	35
 CAPÍTULO 5 Conclusiones y trabajo futuro.....	 37
5.1 Conclusiones.....	37
5.2 Trabajo futuro	38
 Referencias	 39
 Glosario.....	 40

Anexo A: Estudio a diferentes cargas de los reguladores no implementados.....I	
Estudio del regulador de ejemplo número 1	I
Estudio del regulador de ejemplo número 2	II
Estudio del regulador de ejemplo número 3	III
 Anexo B: Simulación en lazo abierto del regulador y comparativa con el modelo teórico.....V	
 Anexo C: Simulación en lazo abierto de la planta y comparativa con el modelo teórico.....VII	
Valores simulación en Matlab	VIII
Valores simulación en ModelSim con <i>dead-time</i>	IX
Valores simulación en ModelSim sin <i>dead-time</i>	X
Comparativa en lazo abierto para $R = 10\Omega$	XI
Comparativa en lazo abierto para $R = 100\Omega$	XII
 Anexo D: Simulación del sistema completo en lazo cerrado y comparativa con el modelo teórico.....XIII	
Valores simulación en Matlab	XIV
Valores simulación en ModelSim sin <i>dead-time</i>	XV
Valores simulación en ModelSim con <i>dead-time</i>	XVI
Comparativa en lazo cerrado para $R = 10\Omega$	XVII
 Anexo E: Estudio completo de los lazos de tensión y comparativa con el modelo teórico.....XIX	
Estudio del regulador en lazo abierto	XIX
Estudio del regulador en lazo cerrado	XXI
 Anexo F: Estudio completo de la comparativa con el dispositivo SpCard.....XXIII	
Comparativa del regulador en lazo abierto	XXIII
Comparativa del regulador en lazo cerrado	XXIV

Índice de figuras

Figura 1: Topología de un convertidor Buck unifase.....	2
Figura 2: Modelo completo de un ejemplo de fuente de alimentación.....	5
Figura 3: Esquema regulador lineal.....	6
Figura 4: Estructura conversor ADC.....	7
Figura 5: Representación función de transferencia en continua.....	9
Figura 6: Proceso de discretización de la planta.....	11
Figura 7: Esquema muestrador-bloqueador de orden 0.....	11
Figura 8: Lazo de control del reductor en discreto.....	11
Figura 9: Lugar de las raíces del regulador óptimo.....	13
Figuras 10, 11 y 12: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta a diferentes cargas.....	14
Figuras 13, 14 y 15: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta a diferentes frecuencias.....	15
Figura 16: Lugar de las raíces (izquierda). Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta (derecha), para un valor de carga $R=100\Omega$ del ejemplo número 1.....	16
Figura 17: Lugar de las raíces (izquierda). Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta (derecha), para un valor de carga $R=10\Omega$ del ejemplo número 2.....	17
Figura 18: Lugar de las raíces (izquierda). Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta (derecha), para un valor de carga $R=10\Omega$ del ejemplo número 3.....	17
Figura 19: Esquema formato QX.Y.....	19
Figura 20: Ejemplo conversión a <i>sfixed</i> desde señales externas.....	20
Figura 21: Ejemplo variación de resolución de una señal mediante la función <i>resize</i>	21
Figura 22: Desarrollo e implementación de la señal ciclo de trabajo.....	21
Figura 23: Saturación de manera digital de la señal que expresa el ciclo de trabajo.....	22
Figura 24: Esquema hardware del regulador.....	23
Figura 25: Sistema mixto de un convertidor de potencia con control digital.....	24
Figura 26: Placa física de una planta reductora.....	25
Figura 27: Control lazo de tensión en lazo abierto.....	26
Figura 28: Esquema de conexión: Control del lazo de tensión en lazo abierto.....	27
Figura 29: Respuesta regulador lazo abierto.....	27

Figura 30: Ciclo de trabajo instante inicial $t = 0$ ms.....	28
Figura 31: Ciclo de trabajo comienza a saturar.....	28
Figura 32: Ciclo de trabajo saturado al 90%.....	29
Figura 33: Control lazo de tensión en lazo cerrado.....	30
Figura 34: Lazo de tensión en lazo cerrado.....	31
Figura 35: Software ilustrativo placa SpCard.....	32
Figura 36: Comparativa ciclo de trabajo = 50%.....	33
Figura 37: Comparativa ciclo de trabajo instante inicial en $t = 0$ ms.....	34
Figura 38: Comparativa ciclo de trabajo comienza a saturar.....	34
Figura 39 y 40: Comparativa tiempos de subida y establecimiento en lazo cerrado.....	35
Figuras 41, 42 y 43: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta a diferentes cargas para el regulador de ejemplo número 1.....	I
Figuras 44, 45 y 46: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta a diferentes cargas para el regulador de ejemplo número 2.....	II
Figuras 47, 48 y 49: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta a diferentes cargas para el regulador de ejemplo número 3.....	III
Figura 50: Respuesta, en Matlab, del regulador en lazo abierto.....	V
Figura 51: Respuesta, en ISim, del regulador en lazo abierto.....	V
Figura 52: Respuesta, en Matlab, de la planta en lazo abierto para $R = 10 \Omega$	VII
Figura 53: Respuesta, en ModelSim, de la planta en lazo abierto para $R = 10 \Omega$	VII
Figura 54: Respuesta, en ModelSim, de la planta en lazo abierto con <i>dead-time</i>	IX
Figura 55: Respuesta, en ModelSim, de la planta en lazo abierto sin <i>dead-time</i>	X
Figura 56: Respuesta, en Matlab, de la planta en lazo abierto para $R = 100 \Omega$	XII
Figura 57: Respuesta, en ModelSim, de la planta en lazo abierto para $R = 100 \Omega$	XII
Figura 58: Respuesta, en Matlab, del regulador en lazo cerrado.....	XIII
Figura 59: Respuesta, en ModelSim, del regulador en lazo cerrado.....	XIII
Figura 60: Valores, en Matlab, del regulador en lazo cerrado en diferentes instantes de tiempo.....	XIV
Figura 61: Valores, en ModelSim sin <i>dead-time</i> , del regulador en lazo cerrado en diferentes instantes de tiempo.....	XV
Figura 62: Valores, en ModelSim con <i>dead-time</i> , del regulador en lazo cerrado en diferentes instantes de tiempo.....	XVI
Figuras 63, 64, 65, 66 y 67: Ciclo de trabajo en diferentes instantes de tiempo.....	XIX y XX
Figuras 68, 69 y 70: Respuesta del regulador en lazo cerrado a diferentes cargas, para valores de tensiones de referencia 5V y 8V.....	XXI
Figuras 71, 72, 73, 74 y 75: Comparativa ciclo de trabajo en diferentes instantes de tiempo.....	XXIII y XXIV
Figura 76: Respuesta del regulador en lazo cerrado a diferentes cargas, para valores de tensiones de referencia 5V y 8V.....	XXV y XXVI

Índice de tablas

Tabla 1: Datos del convertidor conmutado reductor.....	10
Tabla 2: Características principales Buck Converter.....	10
Tabla 3: Comparativa ciclo de trabajo con los resultados teóricos.....	29
Tabla 4: Resultados comparativos ciclo de trabajo en lazo abierto.....	34
Tabla 5: Resultados comparativos tiempos de subida y establecimiento en lazo cerrado.....	35
Tabla 6: Resultados comparativos de la simulación del regulador en lazo abierto.....	VI
Tablas 7 y 8: Resultados comparativos de la simulación de la planta en lazo abierto para $R = 10\Omega$	XI
Tabla 9: Resultados comparativos de la simulación de la planta en lazo abierto para $R = 100\Omega$	XII
Tablas 10 y 11: Resultados comparativos de la simulación en lazo cerrado para $R = 10\Omega$	XVII

1

Introducción

1.1 Motivación

El incesante avance de la tecnología y de los dispositivos que los alimentan ha fomentado la importancia que han adquirido los convertidores conmutados en los últimos años. Los convertidores conmutados, que se utilizan como fuentes de alimentación de alto rendimiento, están cada vez más presentes en nuestras vidas y son fuente de estudio continuo.

Hasta las últimas décadas el control de convertidores conmutados se ha realizado de manera eminentemente analógica, pero la evolución de la tecnología y la tendencia a un mundo cada vez más digital, ha suscitado que la electrónica de potencia no se quiera quedar atrás y en los últimos años, cada vez más, este control analógico se ha ido reemplazando por un control digital. Los sistemas digitales han crecido en posibilidades presentando nuevas características a la par que han visto reducido su precio con respecto a los sistemas analógicos y todo parece indicar que en un futuro no muy lejano el control analógico quedará en desuso, dando relevo a un control digital. Esta proclividad a la digitalización es una de las cuestiones que ha motivado la realización de este trabajo.

Por otro lado, otro de los motivos que ha promovido la confección de este trabajo de fin grado que se presenta es la importancia que están adquiriendo los dispositivos electrónicos conocidos como FPGA (*Field Programmable Gate Array*) dentro de la electrónica digital y que aún en día estén en expansión.

Hasta hace pocos años el control se llevaba a cabo mediante microcontroladores que funcionan muy bien para bajas o medianas frecuencias. Sin embargo, la ejecución en paralelo de algoritmos de los dispositivos FPGA ha permitido que estos operen a grandes velocidades y que estos puedan funcionar a frecuencias mayores. Las altas frecuencias a la que conmutan los circuitos actuales sumando a otras características como su rendimiento, precio y fiabilidad ha enfatizado que el control digitalizado del convertidor conmutado se realice con uno de estos dispositivos.

1.2 Objetivos

La finalidad de este trabajo de fin de grado presentado es tal y como dicta su título y se ha comentado previamente: realizar el control digital de un convertidor conmutado, utilizando dispositivos de tipo FPGA para realizar este control.

Concretamente el control se ejecutará sobre un modelo de convertidor conmutado específico. De los múltiples convertidores que se conocen: Buck, Boost, Buck-Boost, Flyback, etcétera, se realizará la regulación de un modelo convertidor reductor de tipo “Buck” cuyo esquema se muestra en la figura 1.

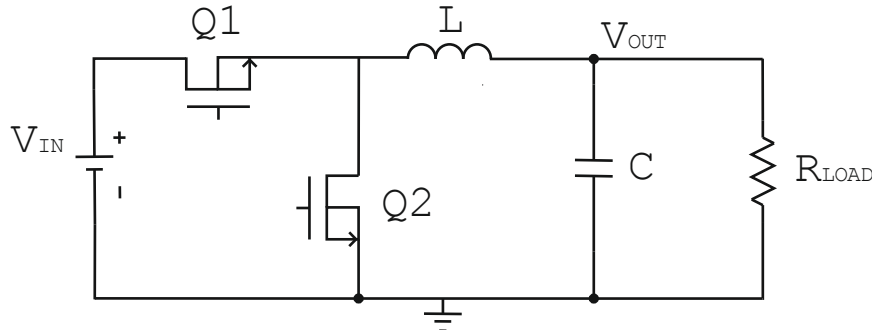


Figura 1: Topología de un convertidor Buck unifase

Para poder llegar a realizar el control en lazo cerrado del reductor será necesario en primer lugar elaborar el correcto diseño y elección del regulador, $R(z)$. Para ello se diseñarán varios reguladores conociendo la función de transferencia que caracteriza el convertidor.

Una vez diseñado el regulador óptimo, se procede a su implementación en VHDL. Debido a la elevada frecuencia a la que conmutan los elementos que hacen de interruptor en la planta aparecen señales de decenas de kHz e incluso MHz lo que nos obliga a su creación y desarrollo en formato de coma fija.

Posteriormente se abordará el control de todo el conjunto mediante dispositivos de tipo FPGA, concretamente de la familia 7 de Xilinx que incluyen ADC integrado en el propio dispositivo. Por último se sintetizará de nuevo el regulador diseñado teóricamente en un nuevo dispositivo SpCard con el que se puede realizar de manera muy simple el control de convertidores y que además también incluyen ADC integrado. Finalmente se realizará una amplia batería y comparativa de pruebas de ambas placas.

1.3 Organización de la memoria

La memoria ha quedado dividida en los siguientes capítulos:

- En el CAPÍTULO 1 se han presentado de manera muy resumida los aspectos más generales y significativos que se abordarán a lo largo del trabajo. Se ha hecho especial hincapié en la importancia del control digital y también en el interés que están adquiriendo en los últimos años los dispositivos hardware de tipo FPGA.

- En el CAPÍTULO 2 se realiza una descripción más detallada de los aspectos más técnicos. En este capítulo se presentarán los diferentes tipos de fuente de alimentación así como las características más importantes de las mismas. Del mismo modo se explicará de manera más minuciosa los convertidores conmutados y se puntualizará más en detalle en el control de los mismos.
- El CAPÍTULO 3 se centra en la descripción precisa del diseño de reguladores digitales así como la presentación del regulador más apropiado, elegido para desarrollar en el trabajo. En este capítulo se abordará tanto el diseño teórico del regulador como su implementación detallada en VHDL y su posterior integración en dispositivos hardware.
- En el CAPÍTULO 4, una vez diseñado y comprobado correctamente el bloque anterior, se comprobará el correcto funcionamiento del regulador. Para ello se realizarán diversas pruebas comparándolas entre ellas y seguidamente con los resultados teóricos esperados.
- En el CAPÍTULO 5 por último se exponen las conclusiones extraídas una vez terminado el trabajo y se presentan las posibles pautas de trabajo futuro.

2

Estado del arte

2.1 Fuentes de Alimentación

El auge de la tecnología en los últimos años ha propiciado que esta se vuelva un elemento cotidiano en nuestras vidas y esté cada vez más presente en la mayoría de las actividades que desempeñamos. Trabajo, medicina, transporte, ocio, etcétera, son algunos de los múltiples entornos donde podemos ver claramente reflejado que la tecnología y los dispositivos electrónicos son un elemento primordial. Motivo que ha acentuado el continuo desarrollo de los dispositivos electrónicos y la complejidad que presentan los mismos.

Los modernos equipos electrónicos, o con parte electrónica, precisan de una fuente de alimentación que provea de energía eléctrica a los distintos elementos que componen el equipo. Asimismo, necesitan valores muy precisos para las tensiones que los alimentan, son más sensibles al ruido y pueden verse muy afectados, llegando incluso a estropearse, debido a los cambios de tensión. Además de cumplir con todas las prestaciones comentadas, los equipos electrónicos no deben ver afectadas sus características de diseño, peso y tamaño.

De ahí nace la importancia de las fuentes de alimentación, para completar la explicación se acompaña con un ejemplo de los múltiples prototipos de fuentes de alimentación que se conocen, figura 2. Su esquema de trabajo se expone de manera abreviada a continuación.

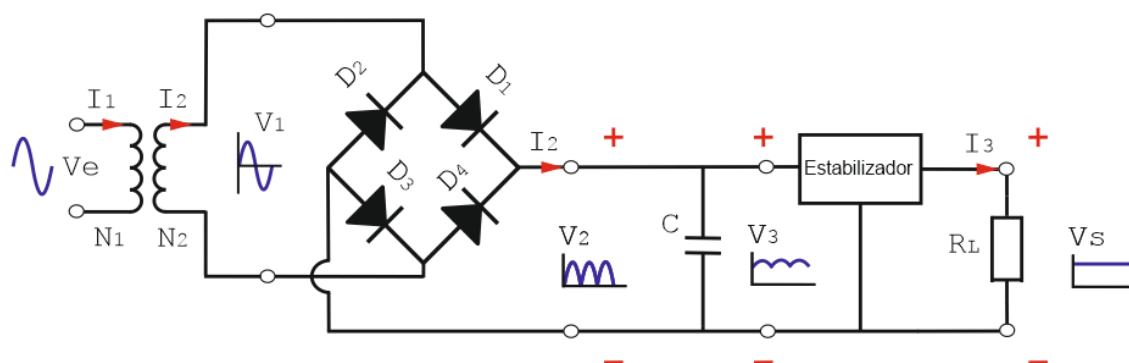


Figura 2: Modelo completo de un ejemplo de fuente de alimentación

En primer lugar están formadas por un primer transformador con el que, además de aislar eléctricamente, se reduce el valor medio de la tensión en alterna.

La tensión en alterna puede ser negativa o positiva. Por eso se precisa de un segundo bloque rectificador, formado por un puente de diodos, que rectifica la señal para que siempre sea positiva, es decir, para obtener a su salida una tensión en continua. Seguidamente se le añade un condensador que actúe como filtro para obtener una onda de tensión lo más plana posible.

Ahora bien, aun filtrando la tensión de salida existen pequeñas variaciones en la tensión, conocidas como tensión de rizado o simplemente rizado. Por lo tanto es necesario un último bloque convertidor CC/CC cuya función es regular la tensión de salida y hacerla estable de manera que puedan satisfacerse las especificaciones requeridas por cada carga sin llegar a estropearla. Además de hacer estable la tensión de salida, dependiendo del modelo de este último convertidor, podemos modificar el valor de la tensión ya sea aumentando el valor, disminuyéndolo, invirtiendo el signo etc...

Y es en este último bloque donde se puede distinguir los dos grandes grupos de fuentes de alimentación:

Las fuentes lineales cuyo convertidor CC/CC es un regulador lineal de tensión. Donde la tensión de salida se compara con una tensión de referencia disipando la energía que se obtiene de la diferencia entre ambas en los elementos resistivos que lo forman, figura 3 [1].

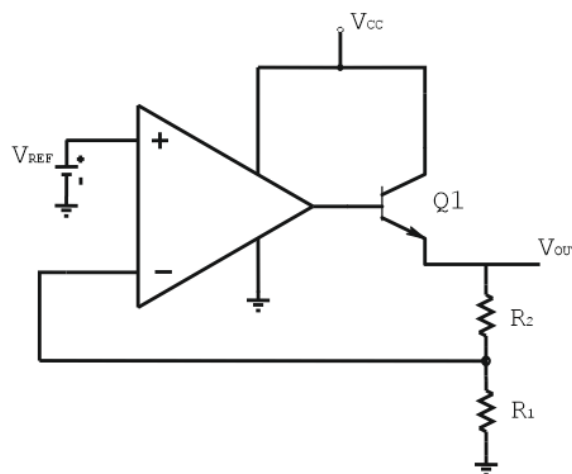


Figura 3: Esquema regulador lineal

Por otro lado, las fuentes conmutadas, que son fuentes de alimentación basadas en dispositivos que hacen de interruptor, que permiten modelar el paso de corriente y con ello podemos rectificar el valor de la tensión o corriente de salida. Los convertidores conmutados también están formados por bobinas y condensadores, pero estos, a diferencia de los convertidores más sencillos como los reguladores lineales, que disipan energía para conseguir la tensión deseada, no incluyen elementos disipativos. Esa es la característica principal que permite a los convertidores conmutados obtener un alto rendimiento, mucho mayor que el de otras fuentes de alimentación como son los reguladores lineales [2].

2.2 Control de convertidores conmutados

Como se ha introducido anteriormente, la principal peculiaridad que otorgan los convertidores conmutados son las altas eficiencias que se logran alcanzar con estos dispositivos. Se consigue una mayor eficiencia porque este tipo de estabilizadores no se ven necesitados en disipar energía, sino todo lo contrario, almacenan la energía acumulándola momentáneamente y la ceden una vez transcurrido un período fijado previamente de tiempo, el cual se controla mediante unos transistores que actúan como interruptor.

Además de la mayúscula eficiencia que poseen estos circuitos se le suman otras competencias, que marcan la predilección a elegir fuentes conmutadas en vez de otro tipo de reguladores. Los convertidores conmutados son capaces de trabajar con mayores energías y se caracterizan por ser más fiables que los reguladores lineales.

Pero no todo son ventajas y aunque las fuentes conmutadas presentan más virtudes que los reguladores lineales, llegar a lograr el control correcto de estos dispositivos no es tarea fácil. Al imponer una etapa de regulación más compleja su análisis y estudio no es para nada sencillo. El control de la planta y, por consiguiente, de las elevadas energías se realiza mediante un controlador. Se necesita formar un correcto diseño del mismo antes de hacer pruebas con un convertidor real, a causa de las altas energías que se han venido comentado, el fallo en una de las etapas de control puede causar pérdidas irreparables, dañando los distintos elementos que se están controlando llegando hasta dejarlos inutilizables o inclusive puede provocar daños a la persona que opera con ellos. Por eso se hace imprescindible realizar pruebas exhaustivas del mismo.

Hasta hace pocos años únicamente se realizaba el control de manera analógica pero en los últimos años esta tendencia ha ido cambiando y este control analógico se ha ido sustituyendo por un control más digital. El control digital surgió en un principio para manejar exclusivamente convertidores de mucha potencia, porque el control analógico resultaba más sencillo aparte del menor precio que requiere este tipo de control. Pero este dominio ha ido desapareciendo a medida que han ido aumentando los estudios sobre el control digital. Y actualmente podemos realizar el control digital para todo tipo de fuentes conmutadas. Esto es así porque con el control digital han surgido nuevas habilidades como su fácil reprogramación o que los tiempos de simulación se han visto reducidos.

Pero nuevamente el control digital añade mayor complejidad al control aparte de la que ya ofrecían por sí mismos los convertidores conmutados, ya que la esencia de la planta es analógica y se precisa trabajar con una nueva etapa adicional de conversión, figura 4, en la que se pueda digitalizar las variables analógicas de la planta y se pueda integrar con el regulador digital, es decir, realizar de manera digital el control de todo el conjunto [3].

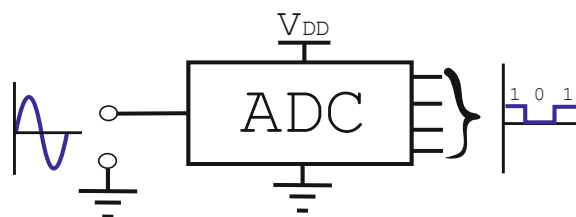


Figura 4: Estructura conversor ADC

Si nos fijamos en la literatura escrita hasta la fecha, la gran mayoría de referencias que se han publicado sobre el control digital de convertidores conmutados físicos están basados o hacen referencia en el empleo de dispositivos de tipo microprocesador. El motivo por el cual la mayor parte de los estudios están basados en dispositivos de esta índole puede verse debido a que los dispositivos de tipo microprocesador ya estuvieran muy extendidos en el mundo de la electrónica digital sumado a que el control digital de convertidores conmutados es relativamente nuevo ha causado que todavía no se haya investigado lo suficiente otra clase de dispositivos.

Sin embargo, fruto de las necesidades que requieren los convertidores conmutados de altas prestaciones, incapaces de resolverse con dispositivos basados en microprocesadores ha promovido el estudio en otro tipo de dispositivos como lo son los dispositivos basados en hardware específico, quizás menos conocidos, pero capaces de resolver nuevas exigencias.

Volviendo de nuevo al tema del control de convertidores conmutados, los convertidores requieren de una mayor velocidad, por motivo de la frecuencia a la que operan los elementos que actúan como interruptores. Esto ha obligado a que cada vez sean más los estudios que se centren en este tipo de dispositivos. Entre las ventajas que presentan los basados en hardware específico destacan la concurrencia y la ejecución de algoritmos en paralelo, lo que ha permitido dotar a estos dispositivos de una mayor velocidad de procesamiento. Y sobre todo la utilidad al aplicar estas características al control de convertidores conmutados ha eliminado la barrera que existía hacía la utilización de este tipo de dispositivos como lo eran su falta de estudio o su precio más elevado.

Además de explotar estas nuevas características el estudio de estos dispositivos ha beneficiado a que se expanda más rápidamente el control digital frente al control analógico y todo parece indicar que en el futuro, cada vez más, seguirá siendo así [4].

3

Diseño del Regulador

Como se ha comentado en los capítulos anteriores el objetivo de este trabajo es llegar a verificar en lazo cerrado un convertidor conmutado, típicamente analógico, con un control digital. Los reguladores son el alma de los controles digitales de los convertidores conmutados y mediante el regulador diseñado se realizará finalmente el control del convertidor conmutado.

En este capítulo se abordará el tema del diseño del regulador lineal en su versión digital. Se estudiará desde el diseño teórico del regulador como su posterior diseño en VHDL e implementación en FPGA.

3.1 Diseño teórico del regulador

De las principales posibilidades que existen a la hora de diseñar un regulador:

- Diseño del regulador como un regulador en forma continua y posteriormente proceder a la discretización del mismo.
- Diseño del regulador como un regulador discreto directamente.

Se ha optado en el desarrollo de este trabajo por el diseño directamente de reguladores lineales discretos principalmente por el motivo que se explica brevemente a continuación.

Aunque se cometa un error al discretizar la función de transferencia de la planta, que siempre se representa en continua $G(s)$, figura 5, el error final cometido será menor que si diseñamos previamente el regulador lineal en continuo. Debido a que al error que se comete en la discretización del regulador lineal continuo final, se le suman otros errores a causa de efectos como los que produce el muestreador y bloqueador. En definitiva diseñando reguladores directamente en tiempo discreto digital el error cometido es menor que si se diseña previamente el regulador analógico [4].

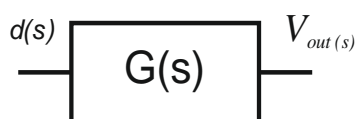


Figura 5: Representación función de transferencia en continua

En otro orden de asuntos, tal y como se comentó en el capítulo de introducción, el control se va a realizar sobre un modelo de convertidor conmutado específico. En concreto el control digital se ejecutará sobre un convertidor DC-DC reductor de tipo “Buck”. El hecho de conocer el modelo del convertidor implica que la función de transferencia del modelo continuo del convertidor que lo caracteriza es conocida. Además, del modelo se conocen los siguientes datos:

Tensión de entrada (V_{in})	12V
Tensión de salida (V_{out})	5V
Condensador (C)	100 μ F
Bobina (L)	22 μ H
Frecuencia de conmutación (f_{switch})	200kHz

Tabla 1: Datos del convertidor conmutado reductor

De manera que el primer paso para el diseño del regulador será presentar la ecuación que representa la función de transferencia $G(s)$, del modelo del convertidor, ecuación (3.1). $G(s)$ relaciona el ciclo de trabajo, $d(s)$, a la entrada con el valor de tensión a la salida, $V_{out}(s)$ [5].

$$G(s) = G_{do} * \frac{\left(1 - \frac{\zeta}{\omega_z}\right)}{\left(1 + \frac{\zeta}{Q * \omega_0} + \left(\frac{\zeta}{\omega_0}\right)^2\right)} \quad (3.1)$$

Asimismo las características principales de un reductor Buck se resumen en la tabla 2, aplicando los datos presentados anteriormente, tabla 1 y sabiendo que el ciclo de trabajo D relaciona la tensión de salida con la tensión de entrada $D = \frac{V_{out}}{V_{in}}$. Llegamos a la expresión simplificada del convertidor conmutado, ecuación (3.2) [6].

Convertidor	ω_z	Q	ω_0	G_{do}
Reductor (Buck)	∞	$R * \sqrt{\frac{C}{L}}$	$\frac{1}{\sqrt{L * C}}$	$\frac{V_{out}}{D} = \frac{V_{out}}{\frac{V_{out}}{V_{in}}} = V_{in}$

Tabla 2: Características principales Buck Converter

$$G(s) = \frac{12}{(2,2 \times 10^{-9} s^2 + 2,2 \times 10^{-7} s + 1)} \quad (3.2)$$

Una vez conocida la función de transferencia en continua el siguiente paso será discretizarla.

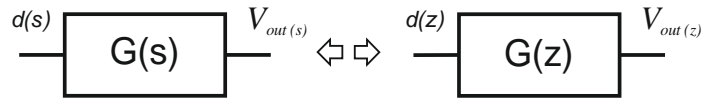


Figura 6: Proceso de discretización de la planta

Para discretizar la función analógica se utiliza el comando c2d de Matlab [7], cuyo método de discretización se basa en un muestreador-bloqueador de orden cero. El funcionamiento de un bloqueador de orden cero es tomar muestras de entrada cada instantes T de tiempo, en cada instante T se obtiene un valor a la salida igual al de entrada y lo mantiene durante todo el período de muestro. El valor de la salida se mantiene constante durante todo el ciclo de muestreo y no se actualiza hasta que el muestreador pasado el período recoge de nuevo un valor de tensión de entrada.

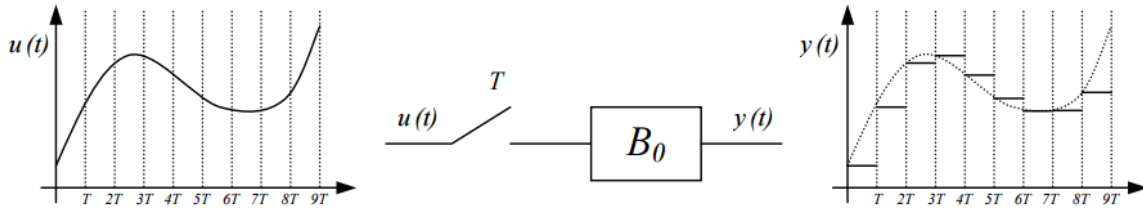


Figura 7: Esquema muestreador-bloqueador de orden 0

Conociendo la frecuencia de operación sabemos el tiempo de muestro. De manera que la función de transferencia discreta del convertidor simplificada queda de la siguiente manera, ecuación (3.3):

$$G(z) = \frac{0,06811 z + 0,06809}{z^2 - 1,988 z + 0,9995} \quad (3.3)$$

Una vez conocida la función de transferencia se puede calcular el regulador $R(z)$, directamente en el dominio digital, mediante el cual se controla la planta discretizada del convertidor conmutado, figura 8.

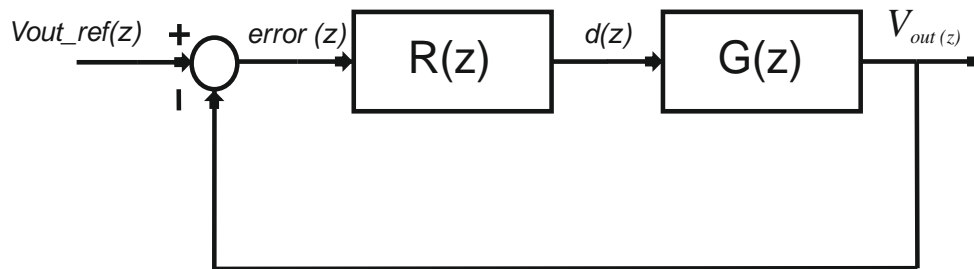


Figura 8: Lazo de control del reductor en discreto

Como se observa en la figura 8, la entrada del regulador será una señal de error, fruto de la diferencia entre la señal que se mide al final del sistema, es decir la señal que realmente obtenemos y la señal de referencia.

El regulador debe ser diseñado para compensar esta señal de error. Para compensar el error los reguladores deben satisfacer al menos las siguientes características:

- Rapidez: Se busca que el regulador diseñado alcance el tiempo de establecimiento raudamente y que los tiempos de subida sean tiempos admisibles.
- Estabilidad y sobreoscilación: Es decir que el regulador alcance un valor determinado, que a su vez no supere el valor de consiga y lo mantenga lo más exacto posible durante un tiempo razonable.

Normalmente las características que se han presentado, que son las características típicas que se suelen buscar para un correcto diseño del regulador, son antagonistas y cumplir una de ellas no implica necesariamente cumplir la otra. Por ello habrá que llegar a un compromiso a la hora de realizar el diseño entre ambas.

De las diferentes técnicas de diseño de reguladores discretos se ha optado por realizar el diseño del regulador discreto en el dominio del tiempo. Se ha elegido el diseño en el dominio del tiempo porque el dominio de la frecuencia no resulta tan intuitivo para reguladores digitales, como lo es este método para el diseño de reguladores analógicos.

Concretamente el método de diseño será el lugar de las raíces [8], uno de los métodos más utilizados que permite hallar de manera sencilla la posición de los polos de la función de transferencia en lazo cerrado a partir de los polos y ceros en lazo abierto. Los polos y ceros en lazo cerrado determinan las características del sistema y determinar la posición de los mismos marcará el diseño del regulador. De manera que se trabajará usando el método del lugar de las raíces a través de la herramienta SISOTOOL una herramienta con la que podemos trabajar de manera sencilla en forma gráfica [7].

3.1.1 Regulador diseñado

La función de transferencia del regulador que se utilizará en este proyecto se indica en la ecuación (3.4).

$$R(z) = 0,05 * \frac{(z^2 - 1,94z + 0,944)}{(z - 1)z} \quad (3.4)$$

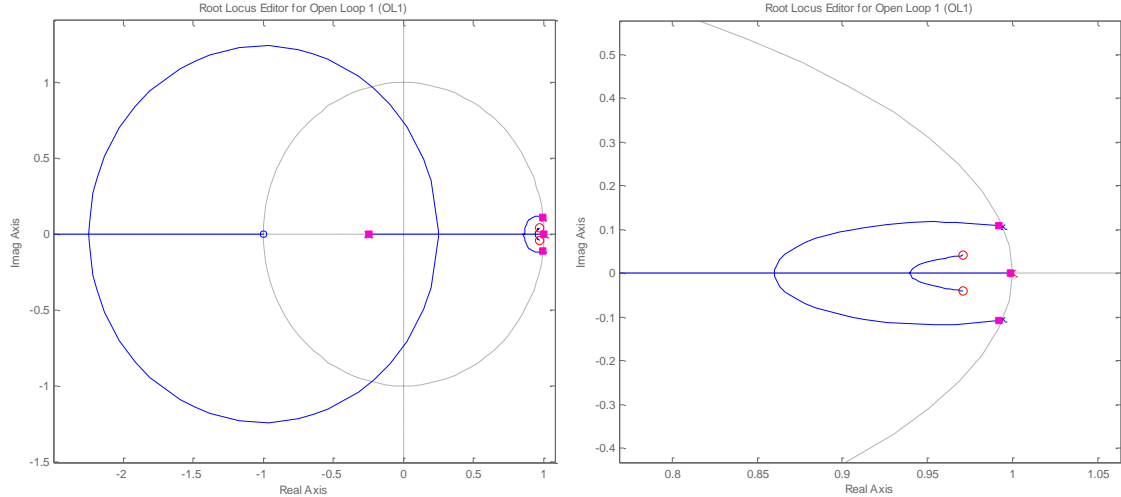


Figura 9: Lugar de las raíces del regulador óptimo

En la gráfica 9 se representa el lugar de las raíces. Para su diseño, como se ha comentado anteriormente se ha buscado que el sistema sea en la medida de lo posible: estable, exacto y rápido. Además se ha buscado que la función de transferencia del regulador sea compatible con la función típica que maneja el programa *SpTool*, fórmula (3.5).

$$R(z) = K_o * \frac{(z - a)(z - b)}{(z - 1)z} \quad (3.5)$$

A continuación se explica brevemente los pasos seguidos para diseñar el regulador.

En primer lugar se ha añadido un integrador (polo en 1) para ayudar a disminuir el error nulo en régimen permanente. Al añadir un polo en 1 el sistema se vuelve inestable por lo que añadimos un zero para disminuir este efecto no deseado producido por el polo.

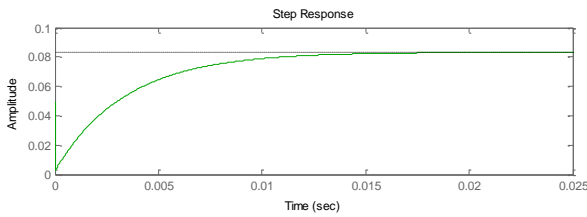
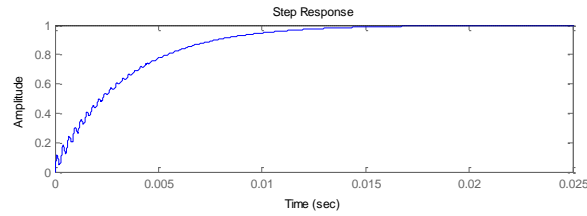
Por otro lado para mejorar la dinámica añadimos un nuevo polo en cero lo que permite añadir un nuevo zero. Los zeros se han buscado de manera que fuesen complejos conjugados y se encontrasen cerca del polo dominante (integrador).

Por último se ha reajustado la ganancia para disminuir de nuevo el error en régimen permante y que el sistema sea más exacto. Para conseguir que el sistema sea estable se ha buscado que los polos y zeros se encuentren dentro de la circunferencia de radio unidad.

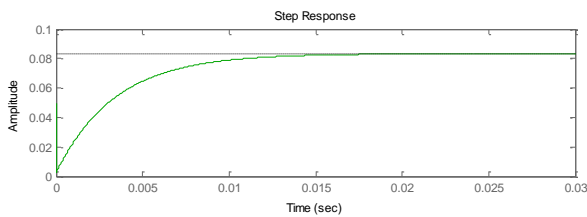
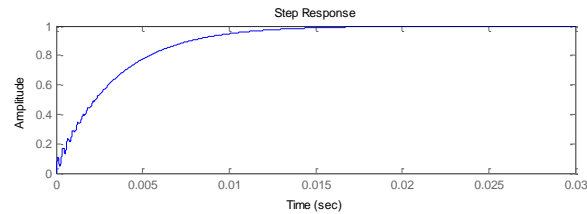
Otro de los detalles que se puede destacar, que se han tenido en cuenta a la hora de diseñar el regulador óptimo, es que aparte de buscar el compromiso entre estabilidad y rapidez mencionados anteriormente se ha buscado que el regulador cumpliera con estas características para diferentes cargas, motivados por las diversas pruebas que se realizarán en último capítulo dónde se variará la resistencia a la salida de la planta.

Por ello se muestra un estudio a diferentes cargas del regulador que se implementará en el trabajo, como se puede observar en las figuras 10, 11 y 12 en ellas se ha representado la respuesta teórica al escalón con el regulador diseñado. Por un lado la respuesta al escalón de todo el lazo cerrado incluida la planta, gráfica azul, por otro lado la salida del sistema de solo el regulador cuando a la entrada se introduce un escalón, gráfica verde.

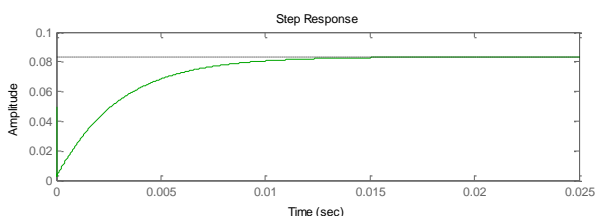
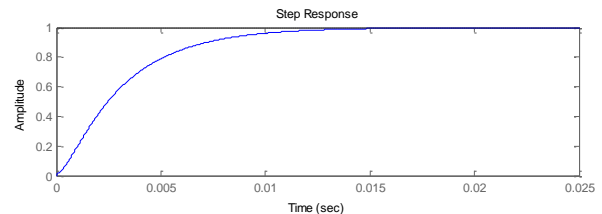
$R=100\ \Omega$



$R=10\ \Omega$



$R=0.05\ \Omega$

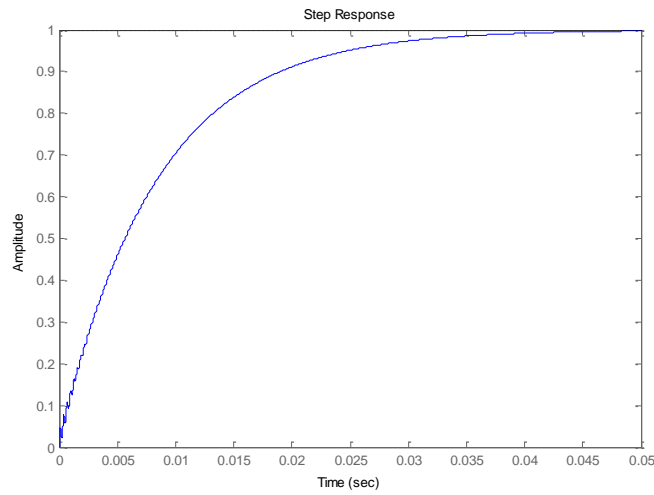


Figuras 10, 11 y 12: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta, a diferentes cargas

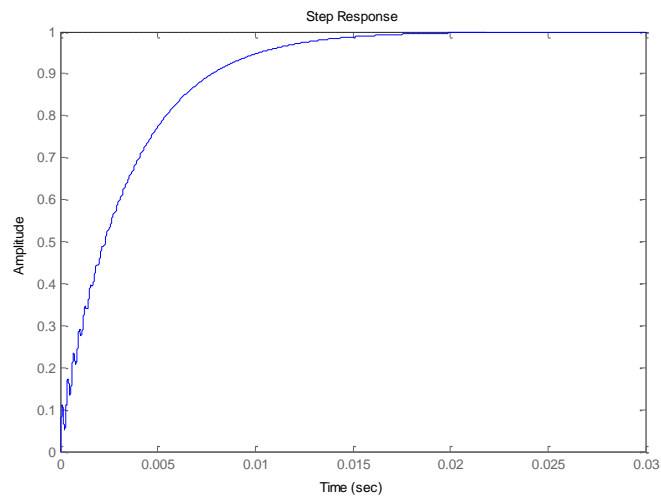
Como se aprecia en las figuras, se consigue que el sistema sea estable, exacto y rápido incluso para la carga más baja, primera gráfica. Y que para todas las respuestas el regulador se encuentra estabilizado prácticamente tras los primeros 15 ms.

Por otra parte se han realizado diversas pruebas, variando la frecuencia de conmutación del sistema, tal y como se muestra en las figuras 13, 14 y 15 y se ha llegado a un compromiso entre la velocidad y el ruido de oscilamiento producido por la conmutación a frecuencias elevadas. Finalmente la frecuencia de diseño serán 200 kHz.

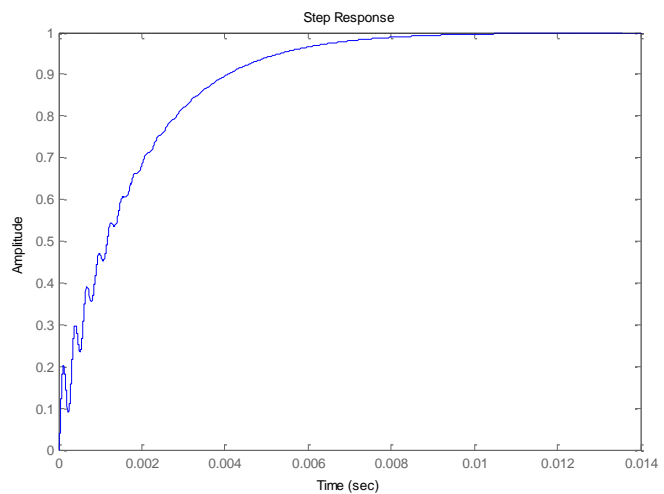
$f=500$ kHz



$f=200$ kHz



$f=100$ kHz



Figuras 13, 14 y 15: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta, a diferentes frecuencias

3.1.2 Otros reguladores diseñados

Antes de seleccionar el regulador que se desarrollara en este estudio se han realizado pruebas con diferentes reguladores. Se exponen a continuación algunos de ellos, al igual que los motivos por los cuales se ha decidido descartar y no implementar. Por lo tanto en este punto se explicará e ilustrará de manera resumida el porque se han desechado. El estudio completo de estos reguladores se detalla en la sección de anexos. Anexo A: Estudio a diferentes cargas de los reguladores no implementados.

Ejemplo 1

$$R1(z) = 0,0002 * \frac{(z + 0,25)(z - 0,75)}{(z - 1)z} \quad (3.6)$$

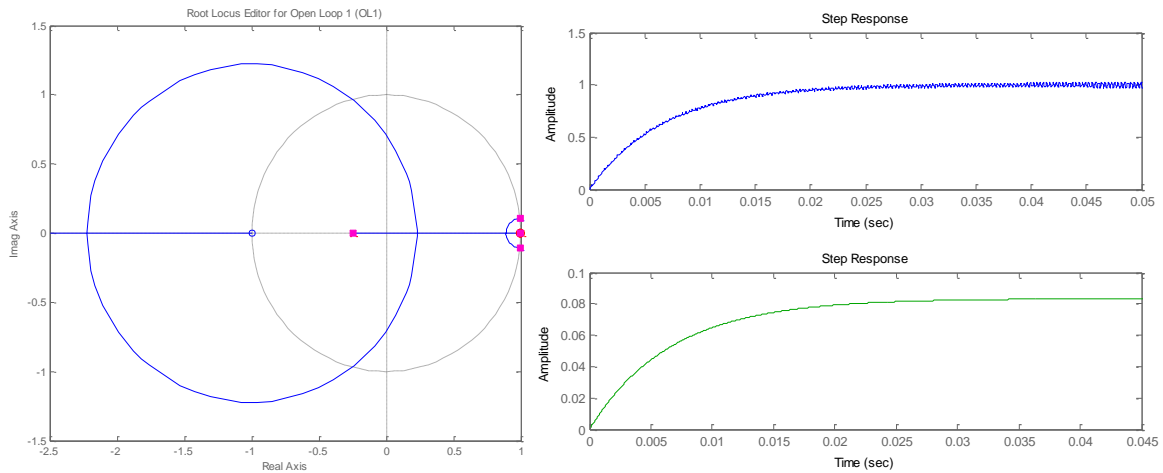


Figura 16: Lugar de las raíces (izquierda). Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta (derecha), para un valor de carga $R=100 \Omega$ del ejemplo número 1

El ejemplo de regulador número 1 se ha descartado porque además de ser algo más lento que el regulador elegido, se observa que este diseño tiende a estabilizarse pasados los primeros 25 ms frente al regulador óptimo que queda estabilizado ya a los 15 ms, el sistema es sobre todo más inestable cuando las cargas son bajas, como se puede observar en la figura 16.

Ejemplo 2

$$R2(z) = 0,0001 * \frac{(z - 0,75)}{(z - 1)} \quad (3.7)$$

Ejemplo 3

$$R3(z) = 0,0001 * \frac{(z + 0,25)(z - 0,75)}{(z - 1)z} \quad (3.8)$$

Los ejemplos segundo y tercero, que se ilustran en las figuras 17 y 18, se han descartado ambos por el mismo motivo, como se puede apreciar estos diseños sí que son estables para cargas bajas lo que implica que también lo serán para cargas más elevadas. Pero ambos diseños son reguladores bastante más lentos que el óptimo. La respuesta al sistema del diseño número dos se estabiliza prácticamente transcurridos los primeros 90 ms y la del diseño tres tras los 70 ms, se recuerda que el tiempo de establecimiento del regulador óptimo no supera los 15 ms.

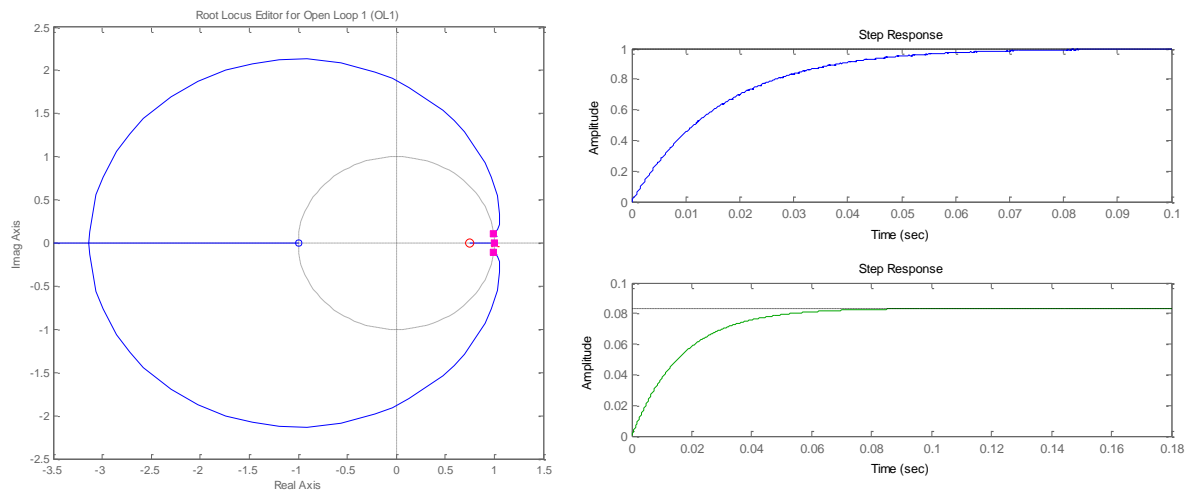


Figura 17: Lugar de las raíces (izquierda). Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta (derecha), para un valor de carga $R=10\ \Omega$ del ejemplo número 2

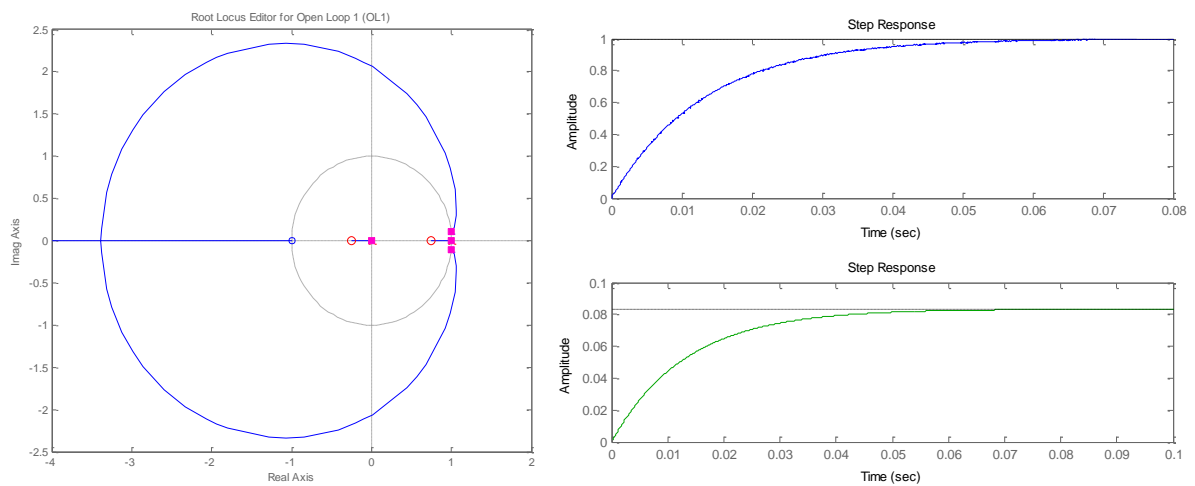


Figura 18: Lugar de las raíces (izquierda). Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta (derecha), para un valor de carga $R=10\ \Omega$ del ejemplo número 3

3.2 Implementación en VHDL y coma fija

Una vez diseñado el regulador de manera teórica y la función de transferencia que lo caracteriza es conocida, ecuación (3.4), se procede a describir dicho regulador en lenguaje VHDL (*very-high-speed integrated circuits hardware description language*). VHDL es un lenguaje de programación altamente utilizado en ingeniería por lo sencillo que resulta describir circuitos digitales y lo más interesante, es un lenguaje mediante el cual podemos programar FPGA, dispositivo con el que finalmente se realizará el control. Por lo tanto este será el fin de este punto, implementar el regulador y llevarlo del ámbito teórico al ámbito digital en lenguaje VHDL.

Como se ha comentado en secciones previas, la función de transferencia $R(z)$ recoge a la entrada una señal de error proporcionando una señal de salida que a partir de ahora denominaremos *duty cycle*, $d(z)$, con la que finalmente se regula la planta. De manera que el primer paso para realizar la implementación en VHDL será representar la función de transferencia teórica como una ecuación en diferencias sencilla, siguiendo el formato que se presenta en la ecuación (3.9), mediante la cual se caracteriza al regulador.

$$d(k) = d(k - 1) + k_0 * e(k) + k_1 * e(k - 1) + k_2 * e(k - 2) \quad (3.9)$$

La ecuación en diferencias resulta de bastante utilidad ya que permite constituir el regulador de manera simple mediante operaciones no especialmente complejas como lo son sumas y multiplicaciones.

De manera que siendo conocida la señal de error y el valor de los coeficientes k_0 , k_1 y k_2 obtenidos en el punto anterior mediante la función de transferencia, ecuación (3.10). La ecuación en diferencias que representa el regulador diseñado en el siguiente trabajo queda definida:

$$d(k) = d(k - 1) + 0,05 * e(k) - 0,097 * e(k - 1) + 0,0472 * e(k - 2) \quad (3.10)$$

Una vez que la ecuación en diferencias, que representa el algoritmo de control de la señal de salida, es conocida, se procede a modelar y adaptar dicha ecuación en VHDL. Pero antes de iniciar la descripción que se ha llevado a cabo de la ecuación en diferencias en VHDL es imprescindible indicar y dejar claro el formato de las señales mediante las cuales se realiza el control y operaciones de la ecuación en diferencias representada.

De los múltiples formatos con los que podemos describir señales y variables en VHDL se ha optado por realizar el diseño en formato de coma fija el cual se procede a explicar de manera muy resumida a continuación.

La forma de describir números en coma fija es el formato QX.Y, cuyo esquema se muestra en la figura 19.

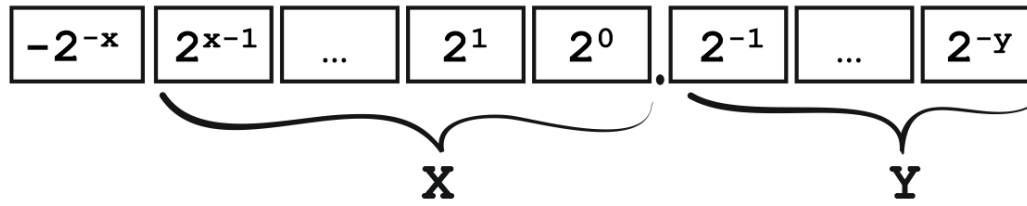


Figura 19: Esquema formato QX.Y

El formato QX.Y se caracteriza por distinguir una cantidad fija de bits para la parte entera, X, y del mismo modo una cuantía fija de bits para la sección decimal. Por último se le añade un bit adicional con el cual se define el signo del número que se está representado. De manera que un número representado en coma fija necesita para su definición (X+Y+1) bits. Finalmente recalcar el hecho de que este formato puede representar números con signo por lo cual además del bit adicional es necesario subrayar que utiliza numeración en complemento a 2.

Seguidamente se procede a la realización de un ejemplo real de representación en QX.Y para que quede detallada la explicación teórica. Por ejemplo se representa el número 9,5678 en formato Q4.5, lo primero se distingue el signo del mismo, en este caso es positivo por lo tanto nos indica que el primer bit es un 0. Por otra parte la parte entera es el resultado de pasar a binario el número 9, 1001 y por último la parte decimal equivale a representar el entero en binario obtenido al realizar la cuenta $0,5678 \cdot 2^5 = 18$, en binario 10010. Este ejemplo resulta de especial interés porque podemos ejemplarizar cómo con el formato escogido para representar el número no sería el adecuado. La operación de la parte decimal no da como resultado un entero exacto, lo que nos hace indicar que estamos perdiendo resolución a la hora de representar el número. Si representamos en decimal el número en QX.Y obtenido, 01001.10010 en realidad se está representado el número 9,5625 es decir se comete un fallo de redondeo.

Igualmente, del formato QX.Y se deben resaltar las siguientes consideraciones. Cuando se realiza la suma de dos números en este formato es necesario que ambos números tengan el mismo número de bits en la parte decimal. Si no se diera este caso, será esencial añadir ceros por la derecha al número que contenga menor cantidad de bits para representar la parte decimal. Además otra consideración a tener en cuenta para la operación suma es que esta puede provocar desbordamiento por lo que es recomendable añadir un bit a la parte entera en ambos operandos, recordando que el formato de la suma tendrá como parte entera X bits, siendo X el número fijo de bits del operando con mayor parte entera e Y, la Y de cualquiera de los operandos puesto que ambos tendrán el mismo número de bits. De manera resumida el formato de la señal suma:

$$QX_a.Y_a + QX_b.Y_b = Q(\max(X_a+X_b)+1).\max(Y_a, Y_b)$$

Por otro lado se pueden realizar multiplicaciones de números sea cual sea el número de bits fijados, lo único que debemos tener en cuenta es que el resultado de la operación tendrá el formato, [9]:

$$QX_a.Y_a * QX_b.Y_b = Q(X_a+X_b+1).(Y_a+Y_b)$$

Una vez explicado los rasgos más importantes del formato que representa el número en coma fija, se procede a explicar por qué se ha elegido este tipo de representación.

En primer lugar las altas frecuencias a las que conmutan los interruptores de los circuitos conmutados ocasiona que aparezcan señales de muy alta frecuencia, lo que implica también que las mismas tengan una buena resolución. En el formato coma fija el diseñador es el que elige el número de bits con los que se va representar la señal y puede optimizar de manera muy sencilla sus recursos, dando más resolución a aquellas señales que lo precisen y disminuyendo el número de bits para aquellas señales que no lo necesiten.

Por otro lado, y no menos importante la definición en coma fija nos permite tanto realizar la simulación del modelo como la propia síntesis en hardware real. Pero no todo son ventajas en este formato, el diseñador tiene que tener en cuenta muchos factores antes de proceder al diseño. Será labor del desarrollador:

- Conocer y estudiar de forma precisa el tamaño necesario para representar correctamente las señales, para que las provea del suficiente número de bits como para que estas no pierdan información.
- Cada señal puede necesitar formatos diferentes y es necesario conocer cada una de ellas.
- Por último se ha de tener en cuenta el tamaño del resultado de las operaciones aritméticas antes de realizar la operación, para no perder resolución y evitar que se produzca desbordamiento en el resultado.

En otro orden de asuntos es primordial destacar que para la implementación en coma fija se ha empleado la biblioteca propia de VHDL conocida como biblioteca *sfixed* para constituir los datos en coma fija con signo. Se ha empleado esta biblioteca porque posee algunas funciones que resultan de especial interés destacar por lo que simplifican el diseño y los cálculos. A continuación se detallan algunas de estas características que además se han empleado en el diseño.

Se pueden realizar de manera sencilla conversiones a *sfixed* desde señales externas mediante la función *to_sfixed*, figura 20.

```
-- Conversiones a sfixed (interno) desde señales std_logic_vector (externo)

sREFERENCIA    <= to_sfixed(REFERENCIA, sREFERENCIA);
sMEDIDA        <= to_sfixed(MEDIDA, sMEDIDA);
```

Figura 20: Ejemplo conversión a *sfixed* desde señales externas

La biblioteca *sfixed*, mediante la función *resize*, permite variar el tamaño de las señales lo que nos permite ajustarlos dando más o menos resolución a las señales que los precisen. Incluso si conocemos el tamaño de la solución de una operación aritmética como es el caso de la señal con la que expresamos el ciclo de trabajo en número de ciclos de reloj en la que se sabe que únicamente se necesita resolución para la parte entera. Se puede ahorrar el cálculo previo del formato del resultado de la operación y fijar el tamaño previamente de la señal de salida deseada, figura 21.

```
--Calculo señal de salida expresada en número de ciclos de reloj

sDOUT_CICLOS_RELOJ <= resize(sDOUT * PERIODO, sDOUT_CICLOS_RELOJ)
```

Figura 21: Ejemplo variación de la resolución de una señal mediante la función *resize*

Una vez presentada por un lado la ecuación en diferencias del regulador a implementar y por otro lado los aspectos teóricos más relevantes, que se han tenido en cuenta a la hora de realizar el diseño, son conocidos. Se procede a la descripción y presentación del esquema con el que se representa el regulador.

En la figura 24 se presenta el esquema HW del regulador, tras haber ejecutado las conversiones a *sfixed* de las señales externas como lo son las señales que representan las tensiones de referencia y medida o los valores de los propios coeficientes que representan la ecuación en diferencias (*sk0*, *sk1* y *sk2*), lo primero que se puede observar es que se realiza la diferencia entre la señal fruto de la realimentación, señal medida y la señal de referencia. De estas señales externas se puede señalar la resolución escogida, en este caso 16 bits, se ha elegido esta resolución porque el conversor ADC integrado en la FPGA con la que se va a trabajar, que es el que nos proporciona la tensión real medida, tiene una resolución máxima de 12 bits como se verá posteriormente.

Una vez generada la señal de error, que es el resultado de hacer la resta entre ambas señales, esta señal de error pasará por diferentes procesos de manera que se cumplan los retrasos marcados por la ecuación en diferencias y en cada uno de ellos la señal de error se multiplicará por la variable que represente el coeficiente que le corresponda. Antes de seguir con la explicación, merece la pena resaltar la resolución escogida para los coeficientes, se ha elegido dotarlos de una buena resolución para que la implementación en VHDL sea reconfigurable, es decir, si en algún momento se quisiera probar con otro regulador cuyos coeficientes necesiten un ancho de resolución mayor no se tuviera que modificar nuevamente el código.

```
-- Cálculo Señal de Error

sERROR <= resize(sREFERENCIA - sMEDIDA, sERROR);

-- Cálculo Señal de Error multiplicada por coeficientes

sK0ERROR1 <= sK0 * sERROR0;
sK1ERROR1 <= sK1 * sERROR1;
sK2ERROR1 <= sK2 * sERROR2;

-- Cálculo Señal de Salida, suma de todas las señales de error

sDUTY <= resize(sDUTY + sK0ERROR2 + sK1ERROR2 + sK2ERROR2, sDUTY);
```

Figura 22: Desarrollo e implementación de la señal ciclo de trabajo

Una vez aclarado este punto y obtenidas las señales de error multiplicadas por cada uno de los coeficientes se procede a realizar la suma de todas las señales generadas y a estas últimas se le suma también el ciclo de trabajo generado en la etapa anterior, todo este proceso se ilustra en la figura 22.

Con esta última señal que se ha denominado *sduty* acentuar otra de las ventajas de controlarlo de manera digital y es que se puede limitar la señal de salida de manera muy simple. Para el diseño del regulador se ha optado por saturar la señal, necesario porque si no el ciclo de trabajo tendería hacia infinito, de manera que la señal se ha saturado tanto por arriba como por abajo. Con unos valores de saturación también reconfigurables, denominados *dmin* y *dmax*, que para el caso del regulador estudiado se ha optado porque el valor máximo de la señal sea el 90% del ciclo máximo y el valor mínimo sea 0, para asegurar que no existe ciclo de trabajo negativo.

Como se observa en la figura 23, que se muestra a continuación, en la cual se puede observar cómo se satura una señal de manera sencilla gracias al control digital.

--Proceso SATURACION

```
SATURACION: process (CLK, RESET)
begin
    if RESET = '1' then
        sDUTY_SATURACIÓN <= (others => '0');

    elsif Clk = '1' and Clk'event then

        if sDUTY >= DMAX then
            sDUTY_SATURACION <= DMAX;

        elsif sDUTY <= DMIN then
            sDUTY_SATURACION <= DMIN;

        else
            Sduty_SATURACION <= sDUTY;
        end if;

    end if;
end process SATURACION;
```

Figura 23: Saturación de manera digital de la señal que expresa el ciclo de trabajo

Es necesario recalcar algunos de los detalles que se han tenido en cuenta a la hora de hacer el diseño. La frecuencia de operación y por tanto el período de la señal también son reconfigurables por eso se ha elegido ese ancho de resolución, 16 bits. La señal tras pasar por el proceso de saturación se multiplica por el periodo para expresar la señal de salida en número de ciclos de reloj. Números enteros con los que será más fácil programar el módulo PWM con el que finalmente se controla la planta, en este apartado se han tenido en cuenta los tiempos muertos, es decir, los tiempos en los que los transistores no están ni en estado de conducción, ni en estado de no conducción configurando estos tiempos muertos como variables reprogramables.

Por último se han multiplicado los valores de los coeficientes por el valor de la tensión que se tiene en cuenta a la hora de realizar la escala, porque si no el regulador no ofrecería una respuesta real, sino una de valor más lento tantas veces como el valor de la escala. Para dejarlo en escala correcta se divide la tensión medida por 12 V, que se recuerda que es el valor de la tensión de entrada, para estar comprendida en el rango de valores [0 y 1], como se verá en el apartado de integración, el ADC muestrea señales de hasta 1 V, por eso es de necesidad multiplicar por 12 el valor de los coeficientes [10].

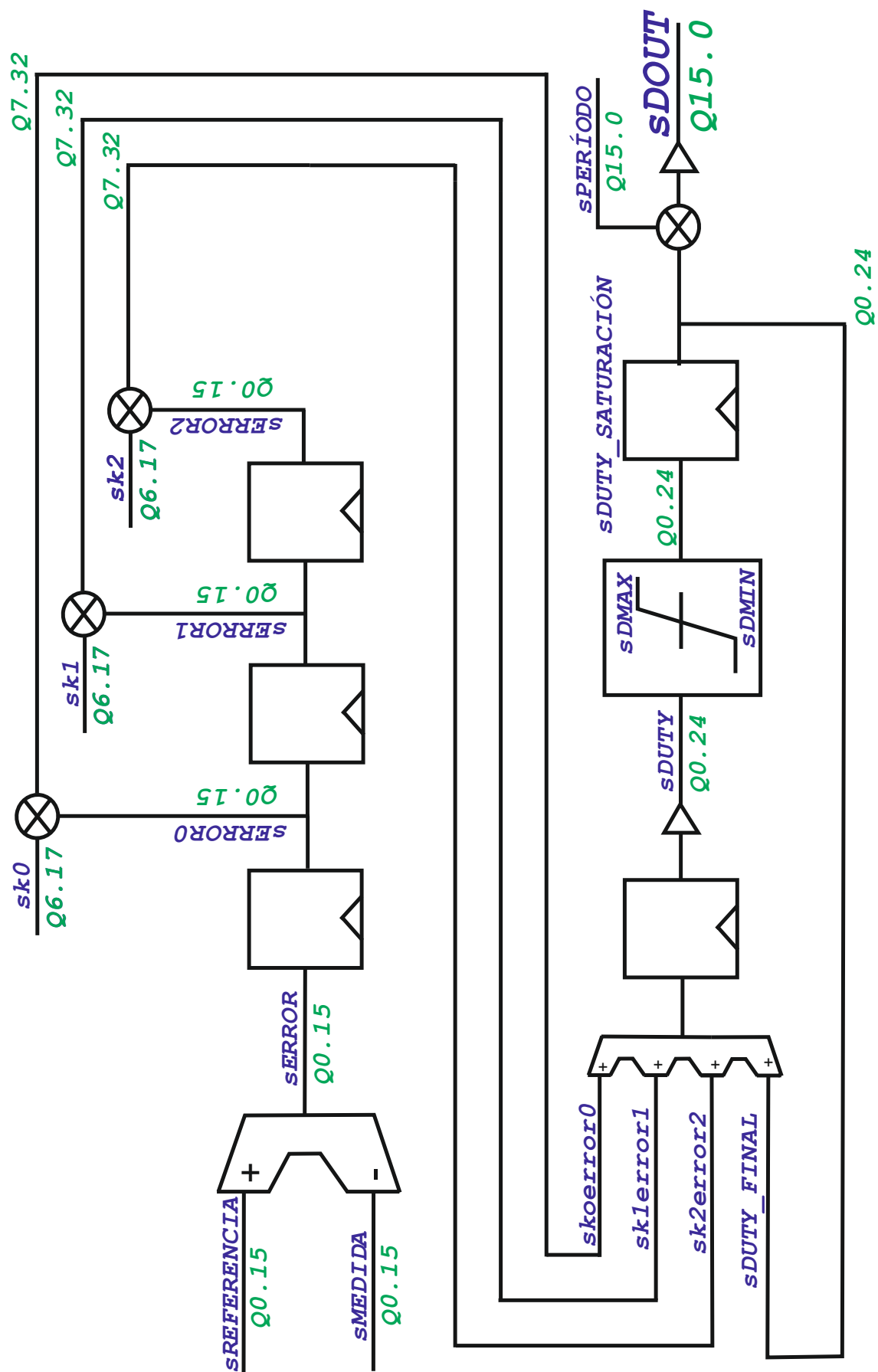


Figura 24: Esquema Hardware del Regulador

3.3 Integración en FPGA ZYNQ

Desarrollados ya los puntos del diseño teórico e implementación en VHDL del regulador se llega a otra de las motivaciones principales de este trabajo, que se recuerda que era llegar a controlar la planta mediante dispositivos basados en hardware específico.

Finalmente el dispositivo escogido para la integración es una FPGA Zynq Z-7010, incluido en la placa de desarrollo Zybo, cuya velocidad de procesamiento es aún mayor que la que presentan otros dispositivos de hardware específico.

La característica principal de este dispositivo es que posee ADC integrado en el propio dispositivo, por lo cual no es necesario conectar otro nuevo módulo a la placa, es decir, la placa utilizada además de tener un bloque digital posee un bloque analógico mediante el cual permite llevar acabo las conversiones de señales analógica y digitales. Se recuerda que es necesario realizar esta conversión debido a que nuestro regulador necesita un bloque que convierta la señal analógica que proporciona la planta cuya naturaleza es analógica tal y como se muestra en el esquema:

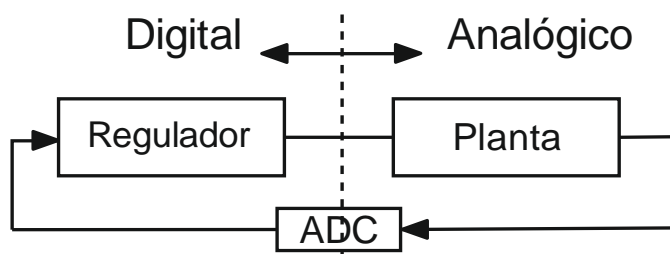


Figura 25: Sistema mixto de un convertidor de potencia con control digital

3.3.1 XADC

Llegados a este punto el objetivo es presentar las características principales del ADC presente en la FPGA así como la configuración del mismo. El dispositivo contiene un ADC de dos canales capaz de muestrear señales de hasta 1 [V] y proporcionar a su salida señales digitales de hasta 12 bits de resolución.

La placa cuenta con 17 entradas analógicas diferenciales lo que nos indica que cada una utiliza dos señales y por consiguiente tiene asignados dos pines concretos dentro de la propia FPGA. Las entradas analógicas utilizan un esquema de muestreo diferencial para reducir el ruido en las señales.

Toda la configuración del ADC se realiza mediante registros que posee el propio dispositivo lo que permiten al propio dispositivo ser fácilmente reprogramable, que enfatiza aún más la elección de este tipo de dispositivos.

Por último indicar que la conversión se ha llevado a cabo una vez sincronizadas las frecuencias de la propia placa con la de conmutación, mediante una señal de disparo. En este modo de captura cada una de las muestras se inicia de manera manual y no se inicia una captura nueva hasta que la anterior ha finalizado [11].

4

Resultados Experimentales

En los capítulos anteriores se ha llevado a cabo el estudio detallado del diseño teórico e implementación del regulador. En este capítulo se comprobará el correcto diseño mediante pruebas experimentales. Pero antes de ejecutar las pruebas en hardware físico real, es importante señalar que ha sido necesario un análisis minucioso, realizando diversas simulaciones y corrigiendo los fallos encontrados de los modelos implementados antes de proceder con dichas pruebas. Dado que un fallo en una de las pruebas puede dañar la placa provocando daños costosos a la propia planta, a los equipos utilizados para las pruebas o incluso a la propia persona. Por ello en la sección de anexos, anexos B, C y D se adjuntan una serie de resultados que prueban la validación del diseño.

Una vez depurados los fallos y se ha llegado a la ratificación del diseño se procede a realizar diversas pruebas. En concreto, el control realizado mediante hardware físico (FPGA familia 7 de Xilinx) se ha hecho sobre un modelo de planta reductor fruto de un trabajo de fin de grado anterior [12], figura 26. Además de la FPGA y la planta cabe destacar que para los ensayos se han utilizado: fuentes de alimentación en continua y en alterna, cargas variables y osciloscopios para observar los resultados.

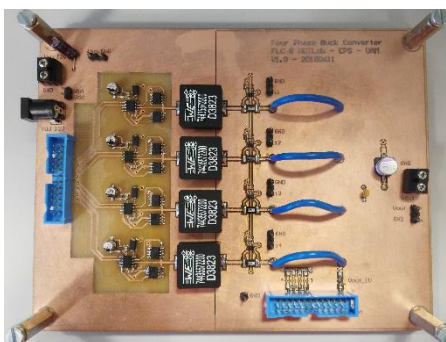


Figura 26: Placa física de una planta reductora

Destacar que este capítulo ha servido no solo para verificar todos los cálculos y diseños desarrollados en este trabajo, sino que también, como se verá en la sección 4.3 de este capítulo las pruebas se han comparado con los de otra placa donde el software ya ha sido diseñado y validado.

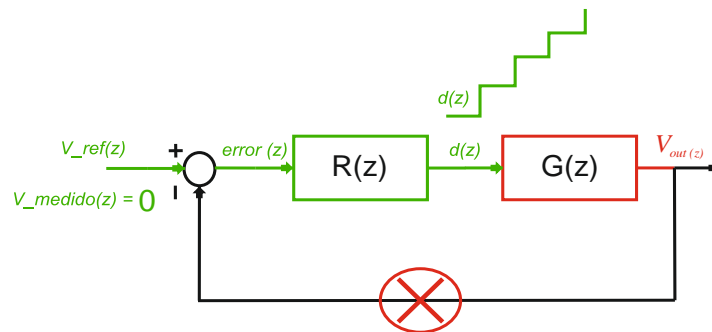
Por otro lado los resultados obtenidos se utilizarán para llegar a las conclusiones que se presentan en el último capítulo del trabajo y con ellas se concluye el mismo.

4.1 Regulador en lazo abierto

La primera prueba experimental que se va a llevar a cabo en este capítulo es simular un lazo abierto únicamente del regulador, es decir solamente se va a estudiar el comportamiento del elemento con el que finalmente se controla la planta. La razón por la que se ha tomado esta decisión es porque si se realizaran directamente las pruebas en lazo cerrado del regulador junto a la planta a controlar, en el caso de encontrar un fallo en el proceso, es dificultoso depurar y encontrar el por qué y dónde existe el defecto y por tanto es más difícil subsanar el error. De esta manera es más sencillo validar exclusivamente el regulador, que se recuerda que es el elemento principal de estudio en este trabajo.

Antes de ver los resultados y compararlos con los resultados teóricos es necesario dejar claro la prueba que se está realizando concretamente, es decir, qué se está simulando exactamente y qué se espera encontrar al hacer el estudio en lazo abierto.

Un sistema en lazo abierto es aquel en el que la variable de salida no afecta al valor de la tensión de entrada, es decir o dicho de otra manera, la señal de salida, como se ilustra en la figura 27 únicamente depende de la señal de entrada no obedece a las correcciones realizadas por la realimentación.



```
-- V_medido lazo cerrado y a 0 lazo cerrado
MEDIDA      => x"0000"
-- Valor de la tensión V_ref
REFERENCIA  => sREFERENCIA
```

Figura 27: Control lazo de tensión en lazo abierto

De manera que para esta primera prueba se simulará un lazo abierto, esto se consigue fijando previamente en nuestro programa como valor medido siempre cero, independientemente del valor real recogido a la salida del sistema. Así que la señal de error, diferencia entre la tensión de referencia y la tensión medida siempre será igual a la señal de referencia durante toda la simulación. Este proceso se detalla de manera gráfica en la figura 27. En ella se hace hincapié en que la planta no tiene efecto sobre las pruebas que se están realizando al igual que la tensión obtenida a la salida. Por consiguiente en las pruebas únicamente se observa cómo varía el ciclo de trabajo, señal de salida del regulador.

Por otro lado, de igual forma se simulará un lazo abierto del regulador teórico sometiendo a la función de transferencia a un escalón, es decir, proporcionando un valor de referencia constante e igual a 1. Con este modelo teórico se validará el diseño del regulador.

En la figura 28, se observa cómo se ha realizado esquemáticamente el control y la interconexión de los distintos dispositivos hardware para poder realizar las pruebas en lazo abierto.

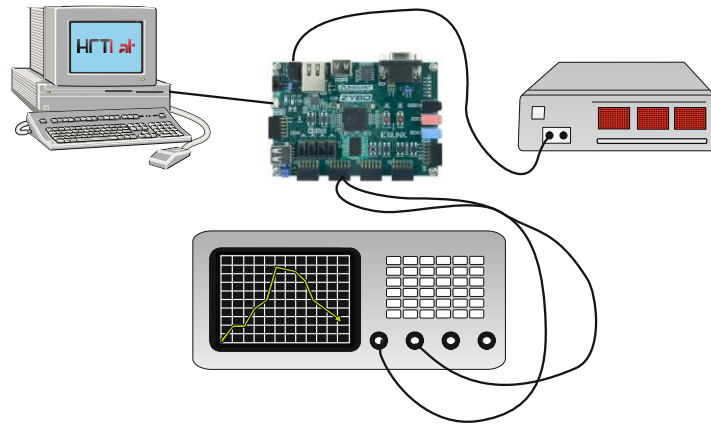


Figura 28: Esquema de conexión: Control del lazo de tensión en lazo abierto

Básicamente para esta primera prueba se ha precisado de una fuente de alimentación, con la que alimentar la FPGA, a la par que un cable micro usb para programar la placa y cargar el diseño implementado y finalmente un osciloscopio para observar el ciclo de trabajo y comprobar el funcionamiento del regulador. Como se ha señalado previamente la planta todavía no interviene en el proceso y del mismo modo recalcar que aunque para comprobar el lazo abierto la tensión de referencia no interfiere, el valor de referencia con el que se han realizado las pruebas ha sido 5 V. Es importante tener en cuenta este valor para a la hora de hacer la comparativa, se debe tener en cuenta la escala con la que se realiza cada prueba para poder realizar correctamente las comparaciones con los resultados teóricos.

El primer resultado que se cumple como consecuencia de someter al regulador a un lazo abierto, es que tras cometer el error inicial, el ciclo de trabajo aumenta de manera progresiva con el tiempo. Esto se demuestra en la gráfica 29. En la respuesta teórica, azul, se ve una pendiente positiva frente a la respuesta del regulador diseñado en la que se observa como la intensidad de la señal es mayor con forme transcurre el tiempo.

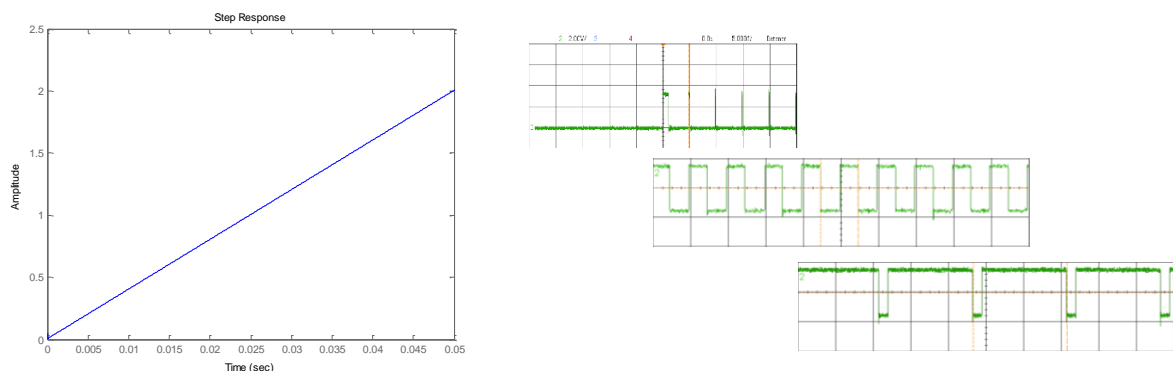


Figura 29: Respuesta regulador lazo abierto

Analizando más detalladamente el ciclo de trabajo para realizar pruebas más exhaustivas se han ejecutado varias comparaciones en instantes de tiempo diferentes y se han comparado con respecto a la simulación teórica. Para ello se ha estudiado el valor exacto en diferentes puntos, a continuación se muestran algunos de estos resultados, el estudio detallado se encuentra en la sección de anexos. Anexo E: Estudio completo de los lazos de tensión y comparativa con el modelo teórico.

En primer lugar se ha estudiado el ciclo de trabajo en el instante inicial en el que comienza la captura. El ciclo en el instante justo anterior es cero por eso se produce una diferencia mayor en la señal que expresa el ciclo de trabajo. Este efecto es verificado tanto en la simulación teórica como la respuesta arrojada por el osciloscopio, gráfica 30 en la que se ve que el ciclo de trabajo es 22,5%.

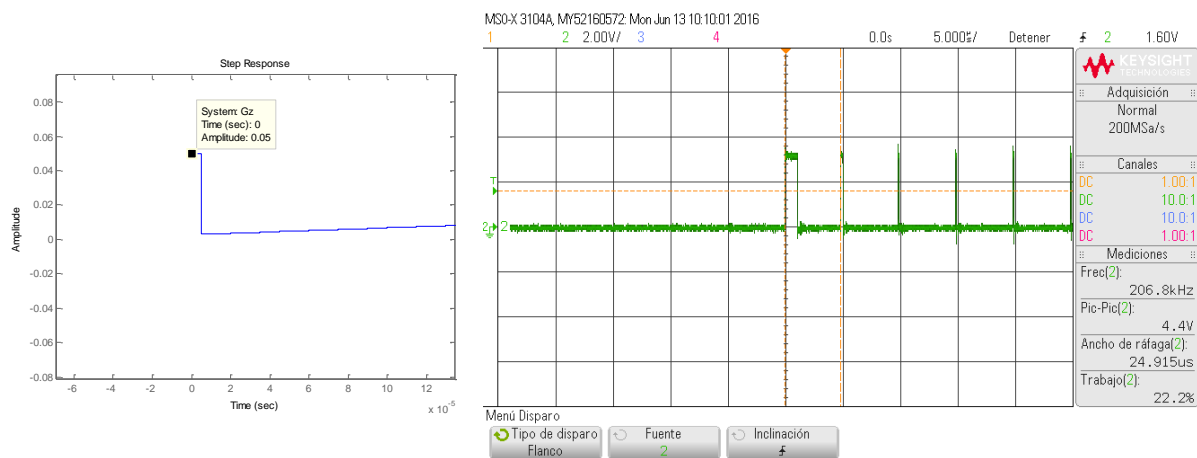


Figura 30: Ciclo de trabajo instante inicial $t=0$ ms

La segunda comparativa que se ha realizado ha sido verificar el instante de tiempo en el que la señal comienza a saturar, es decir, el instante de tiempo en el que el ciclo de trabajo es igual al 90%, que como se muestra en la figura 31 en ambas gira entorno a los $t=4,5$ ms.

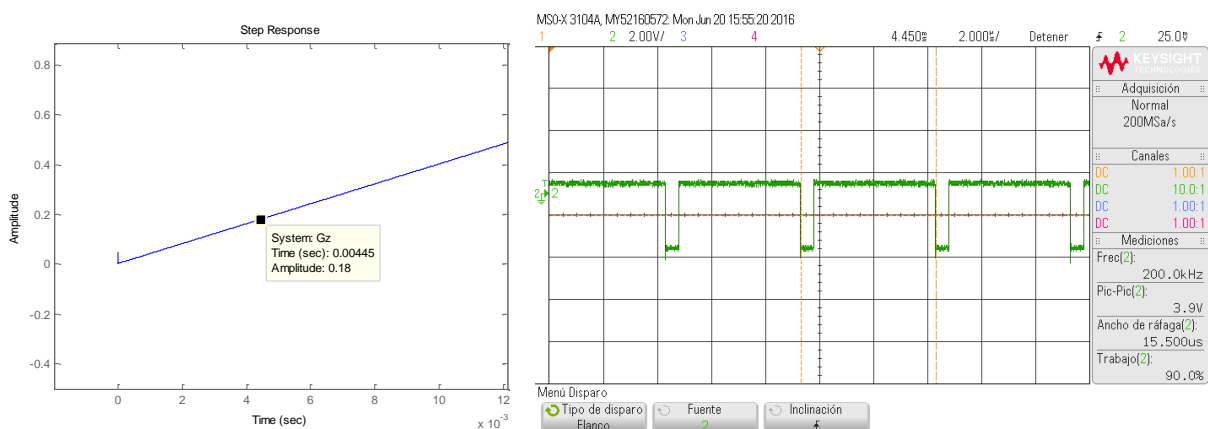


Figura 31: Ciclo de trabajo comienza a saturar

Y para finalizar, el último control realizado, ha sido la revisión de que se está cumpliendo de manera correcta la condición implementada en el diseño digital. Por un lado se ha comprobado que el ciclo de trabajo no resulta negativo en ningún momento durante la simulación. Por otro lado se ha controlado que una vez pasado el tiempo la señal no supere el 90%, figura 32.

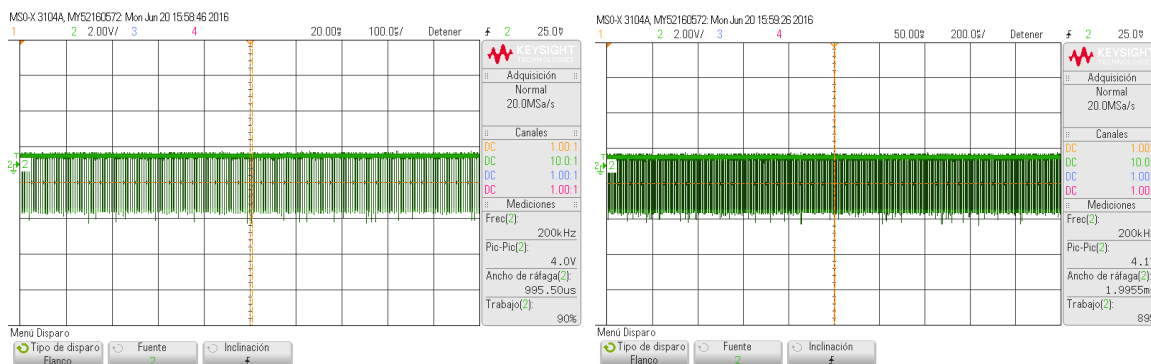


Figura 32: Ciclo de trabajo saturado al 90%

Para finalizar con la comparativa en lazo abierto se añade una tabla con los resultados exactos de las simulaciones, tanto de las mostradas en el capítulo como las adjuntadas en la sección de anexos.

Para realizar de manera correcta la comparación, como se ha anunciado anteriormente, se debe tener en cuenta la escala de cada una de las simulaciones. De modo que para la simulación teórica es necesario multiplicar por 5 los valores obtenidos, puesto que para simular el lazo abierto del regulador se ha elegido como tensión de referencia 5 V, mientras que la entrada de la simulación en Matlab es un escalón unitario.

Instante de Tiempo	Zybo	Teórica
t = 0 ms	22,2 %	25,0 %
t = 2 ms	41,2 %	41,3 %
t = 2,44 ms	49,0 %	50 %
t = 4,45 ms	90,0 %	90,0 %
t = 20 ms	90,0 %	401,5 %
t = 50 ms	89,9 %	1000 %

Tabla 3: Comparativa ciclo de trabajo con los resultados teóricos

Como se observar en la tabla los resultados son muy parejos en los primeros instantes de tiempo, sin embargo a medida que avanza el tiempo los resultados difieren de los modelados teóricamente. Esto no ocurre debido a un fallo en la simulación sino que es debido a que se está saturando de manera correcta el ciclo de trabajo, que como se aprecia no sobrepasa el 90 %.

4.2 Regulador en lazo cerrado

Una vez que se ha comprobado el correcto diseño del control digital del regulador, se procede a añadir el convertidor conmutado a controlar, en este caso la planta reductora cuyas características son las mismas que se presentaron a comienzos del capítulo 3, tabla 1. Es decir se procede a realizar la segunda prueba experimental y objetivo principal de este trabajo, que consiste en realizar y validar el control en lazo cerrado de un convertidor conmutado. Por consiguiente este será el objetivo de este punto probar la implementación diseñada sobre una planta real y compararla de nuevo con una base teórica.

En un sistema en lazo cerrado, a diferencia de lo que ocurre en sistemas de lazo abierto, la señal de salida del sistema, o sea la variable sobre la que se está realizando el control sí que tiene efecto sobre el regulador. En otras palabras la salida depende de las correcciones realizadas en la retroalimentación. Todo este proceso se ilustra de manera gráfica en la figura 33.

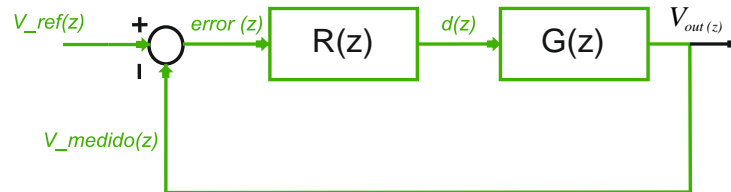


Figura 33: Control lazo de tensión en lazo cerrado

De manera que en esta segunda prueba, la planta sí que tiene efecto y es la que proporcionará el valor medido fruto del valor real recogido a la salida del sistema. La señal de error irá variando durante todo el proceso de simulación hasta que la señal llega un punto en el que comienza a estabilizarse y a devolver el valor de referencia sobre el que estamos midiendo, este fenómeno ocurre cuando la señal de error es menor y el valor medido empieza a aproximarse más al de referencia. Es en este punto donde entra en juego la integración del ADC previamente diseñado, para convertir a digital la señal analógica que nos devuelve la planta.

El esquema de montaje e interconexión hardware es similar al realizado en lazo abierto. Para esta prueba se precisa de nuevo una fuente de alimentación que provea de energía a la placa y un cable que se conecte al ordenador necesario para cargar el programa. En esta prueba como novedad a la placa tenemos que conectarle la planta y realizar las interconexiones previamente implementadas. Por un lado proveemos a la placa de la señal PWM generada por el regulador que anteriormente hemos medido, que determina el estado de los interruptores. Por otro lado de la propia planta, la señal de salida se conecta con los pines configurados con los que se realiza la conversión ADC. Recaltar varios puntos a tener en cuenta a la hora de conectar la planta. Se precisa de nuevas fuentes de alimentación con las que alimentar la potencia y drivers de la propia planta. Por otro lado es importante que las masas analógicas y digitales estén conectadas para que los resultados recogidos sean correctos. En último lugar a la planta se le conecta una resistencia externa variable, lo que nos permitirá realizar de forma sencilla diversas pruebas.

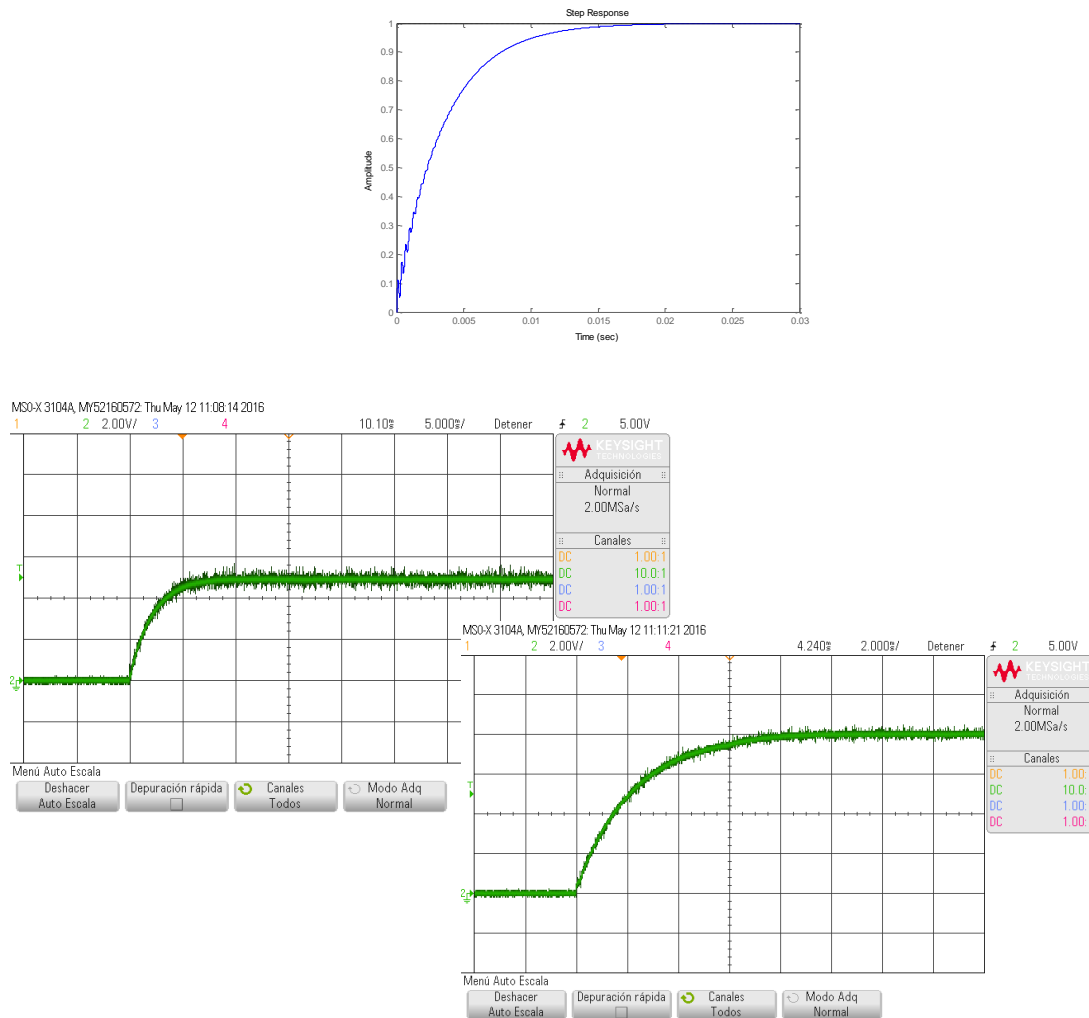


Figura 34: Lazo de tensión en lazo cerrado

Se muestran los resultados en lazo cerrado para una misma carga ($R=10\Omega$) para dos tensiones de referencia 5 V y 8 V respectivamente. Los resultados a diferentes cargas se adjuntan en la sección de anexos. Anexo E: Estudio completo de los lazos de tensión y comparativa con el modelo teórico.

Estas primeras gráficas nos sirven para extraer las primeras conclusiones de la prueba. En primer lugar se observa cómo las gráficas del diseño implementado tras los primeros 15 ms la tensión tiende a estabilizarse y tiende a sus valores de referencia.

Otros de los puntos a destacar es que el modelo teórico no tiene en cuenta las pérdidas introducidas por la bobina, aparecen oscilaciones en los primeros instantes de tiempo, sin embargo, en el modelo físico real sí que tenemos en cuenta las pérdidas por eso desaparecen esas oscilaciones.

4.3 Comparativa con SpCard

Por último en este apartado final, una vez realizadas las pruebas comparativas en lazo abierto y cerrado del regulador con sus correspondientes modelos teóricos, adicionalmente se realizarán nuevas pruebas sobre el regulador teórico diseñado. Para esta última prueba se partirá de nuevo del regulador teórico diseñado previamente, cuya ecuación se recuerda más abajo, ecuación (4.1).

$$R(z) = 0,05 * \frac{(z^2 - 1,94z + 0,944)}{(z - 1)z} \quad (4.1)$$

Pero esta vez, en lugar de implementar el regulador, las pruebas se harán en una nueva placa, SpCard, perteneciente a la empresa SpControl Technologies, empresa que colabora con el laboratorio. Esta placa presenta la peculiaridad de que una vez que el regulador ha sido diseñado teóricamente el usuario no tiene que preocuparse de la implementación y la integración en la placa, sino que viene con un software asociado a la propia placa con el manejar de forma más rápida y sencilla nuestro regulador, figura 35. A modo de resumen se explica a continuación [13]:

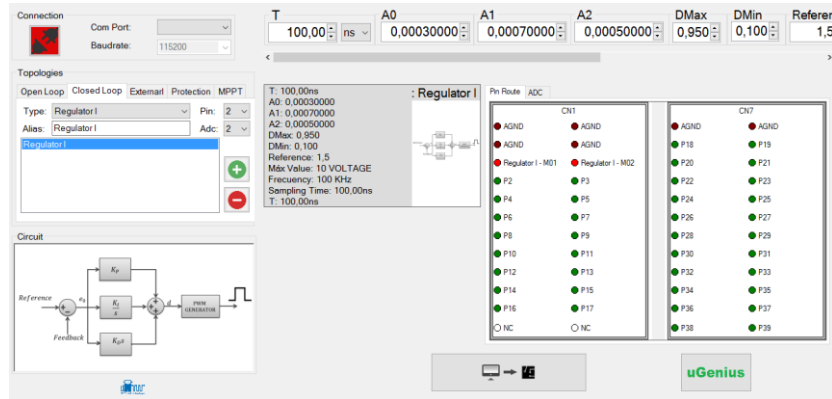


Figura 35: Software ilustrativo placa SpCard

Seleccionado el tipo de regulador diseñado, se introducen los parámetros de diseño (coeficientes, frecuencia de conmutación, tiempos muertos, tensión de referencia, etcétera), entre ellos se puede destacar los parámetros de ciclo máximo y mínimo, es decir que con esta placa también se puede limitar el ciclo de trabajo, al igual que se hizo con el regulador diseñado.

Una vez chequeado el regulador el propio software es el que nos dicta los pines asociados a la propia placa con los que se va a trabajar, es decir, nos facilita la tarea tediosa de lectura y comprensión de *datasheet*, los cuáles conectaremos de forma similar a la planta física a regular, que será la misma que la utilizada para la anterior FPGA. Acentuar igualmente que esta placa posee también ADC integrado en el propio dispositivo y que de nuevo el software nos indicará los pines asociados a la conversión.

Una vez han sido alimentados los dispositivos, solo queda señalar que los valores introducidos con los que se van a realizar las pruebas han sido exactamente los mismos valores que para la FPGA de Xilinx lo que nos hace indicar que los resultados a esperar tendrán que ser los mismos. Por ello se van a realizar las mismas pruebas que se han realizado anteriormente.

4.3.1 Comparativa SpCard lazo abierto

Con esta primera prueba solo se quiere probar como varía la acción del ciclo de trabajo, para garantizar que el regulador ha sido diseñado y conectado correctamente, y corregir de manera más sencilla los posibles errores. Puntualizar que también para este diseño se ha optado por saturar el ciclo de trabajo, por encima el 90 % del valor máximo y como valor mínimo 0 para asegurarse de que no existe ciclo de trabajo negativo. Además la limitación del ciclo de trabajo servirá para ratificar la limitación digital realizada previamente cuando se implementó el regulador.

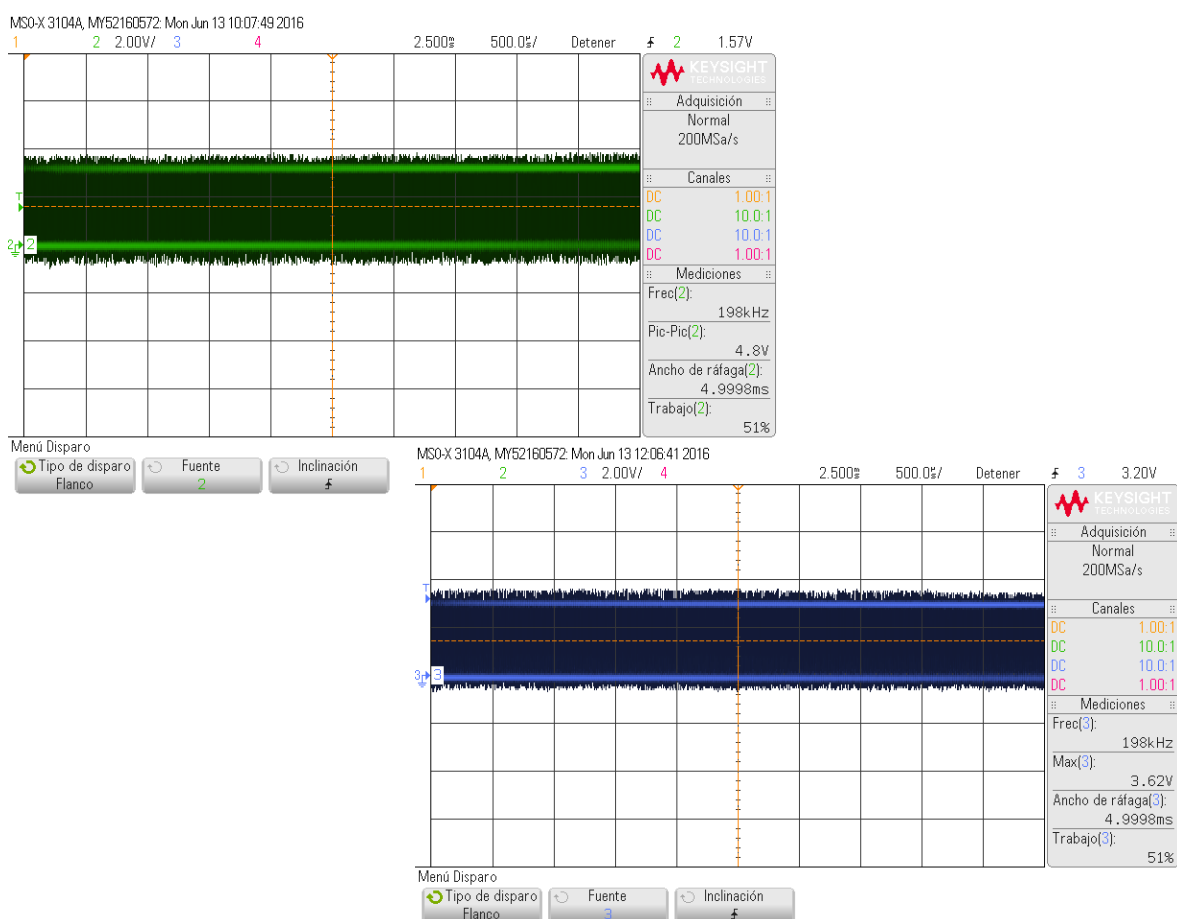


Figura 36: Comparativa ciclo de trabajo = 51%

En la gráfica, se observa el comportamiento completo del ciclo de trabajo: en verde, la actuación para la placa Zybo, en azul la respuesta con la SpCard, señalar que estos colores asociados a las diferentes placas son los mismos que se utilizarán para el resto de pruebas.

En esta primera gráfica, figura 36, se pueden ver las primeras comprobaciones. En primer lugar, la intensidad de la señal a medida que transcurre el tiempo nos hace indicar como el ciclo de trabajo aumenta progresivamente con el tiempo. Por otro lado con este primer resultado se demuestra como ambas señales llegan al 51% de ciclo de trabajo en el mismo instante de tiempo $t = 2,5$ ms.

Del mismo modo se ha medido el valor del ciclo de trabajo en instante inicial para ambas placas, figura 37, dando como resultado el mismo para ambas placas 22,2% y también se muestra el instante de tiempo en que ambas placas empiezan a saturar, grafica 38, cuya diferencia de tiempos ha marcado sólo 0,08 ms.

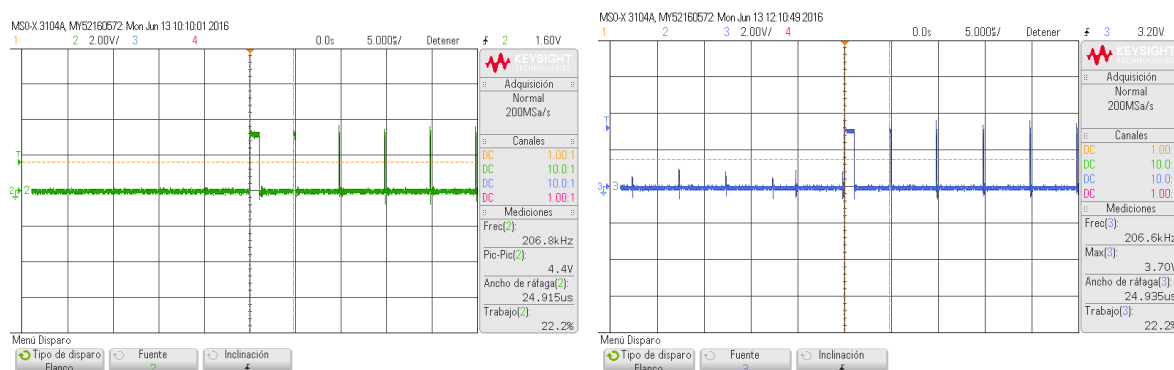


Figura 37: Comparativa ciclo de trabajo instante inicial $t = 0$ ms

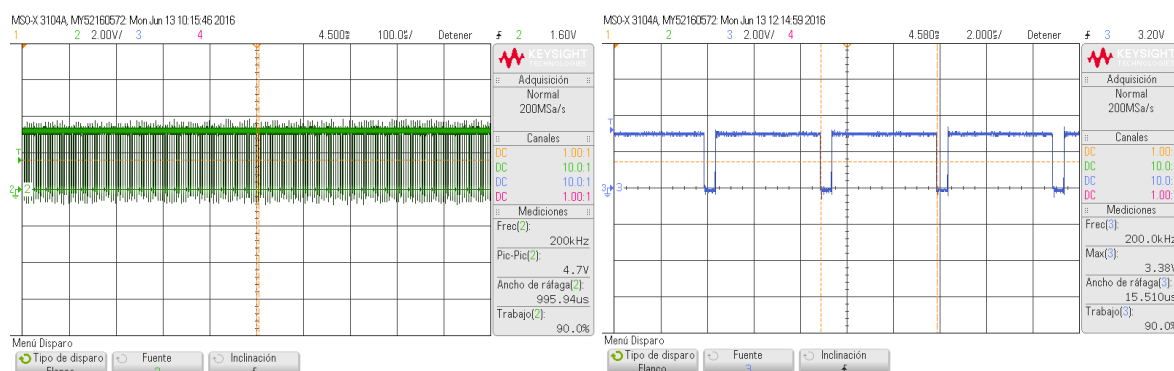


Figura 38: Comparativa ciclo de trabajo comienza a saturar

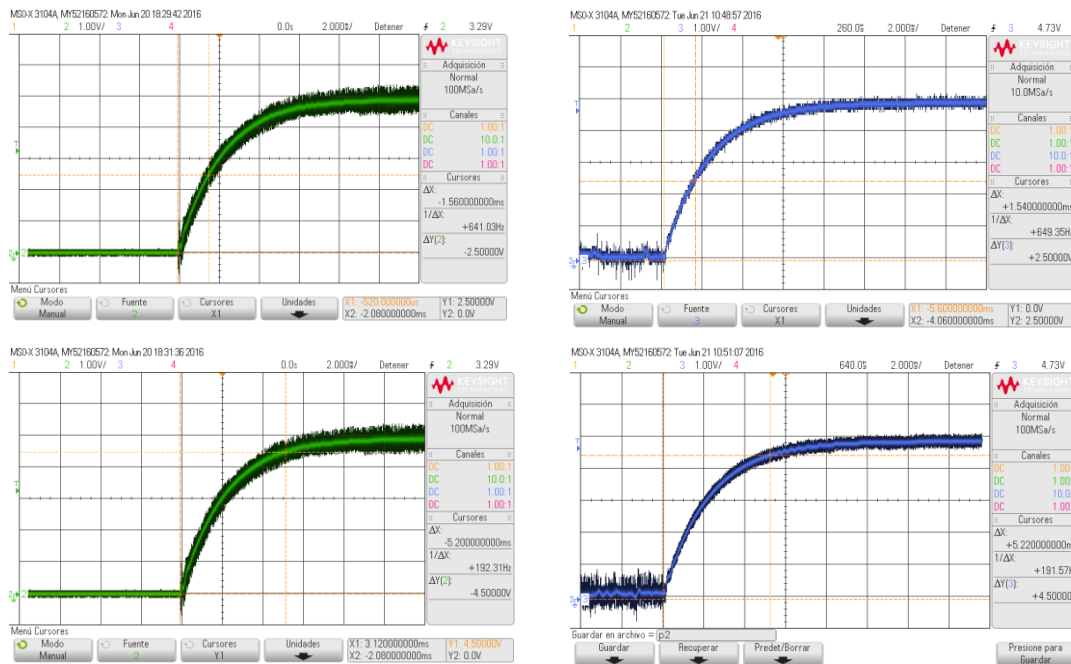
El resto de pruebas realizadas se muestran en la sección de anexos. Anexo F: Estudio completo de la comparativa con el dispositivo SpCard. Todas las comprobaciones se resumen en la siguiente tabla.

Instante de Tiempo	Zybo	SpCard
$t = 0$ ms	22,2 %	22,2 %
$t = 2$ ms	41,2 %	41,1 %
$t = 2$ ms	50,0 %	50,1 %
$t = 4,5$ ms	90,0 %	89,9 %
$t = 20$ ms	90,0 %	90,0 %

Tabla 4: Resultados comparativos ciclo de trabajo en lazo abierto

4.3.2 Comparativa Spcard lazo cerrado

En esta segunda sección de pruebas se vuelve a analizar la forma de la tensión de salida, comparando los resultados de ambas placas. Concretamente los resultados que se muestras a continuación han sido realizados con tensión de referencia 5 V. Se analizarán en detalle los tiempos de subida y establecimiento para una misma carga, $R=10\Omega$. El resto de pruebas a otras cargas se adjuntan de nuevo en la sección de anexos. Anexo F: Estudio completo de la comparativa con el dispositivo Spcard.



Figuras 39 y 40: Comparativa tiempos de subida y establecimiento en lazo abierto

Tensión = 5 V y R = 10Ω	Zybo	SpCard
v/2	1,56 ms	1,54 ms
Tensión = 90%	5,20 ms	5,22 ms
Tensión = 8 V y R = 10Ω	Zybo	SpCard
v/2	1,56 ms	1,56 ms
Tensión = 90%	5,20 ms	5,48 ms
Tensión = 5 V y R = 5Ω	Zybo	SpCard
v/2	1,50 ms	1,54 ms
Tensión = 90%	5,10 ms	5,24 ms
Tensión = 5 V y R = 5Ω	Zybo	SpCard
v/2	1,56 ms	1,54 ms
Tensión = 90%	5,18 ms	5,28 ms

Tabla 5: Resultados comparativos tiempos de subida y establecimiento en lazo cerrado

Para contrastar ambas simulaciones se han comparado los tiempos en los que la tensión es igual a la mitad de su valor máximo así como el instante de tiempo en el que la tensión es igual al 90 % del valor máximo. Comprobando que para todas las simulaciones inclusive la de los anexos los tiempos son parejos tal y como se resumen en la tabla 5.

5

Conclusiones y trabajo futuro

5.1 Conclusiones

Una vez completado este trabajo se puede adquirir una visión más práctica y completa del control digital de convertidores conmutados atendiendo a los numerosos servicios que este tipo de regulación nos ofrece. A lo largo del presente trabajo de fin de grado se ha reiterado en la importancia que ha adquirido el control digital de convertidores conmutados en la actualidad. Una vez aclaradas las ventajas que presenta realizar el control de manera digital se ha presentado el modelo de convertidor conmutado a gobernar, en concreto se ha realizado la regulación de un modelo convertidor reductor de tipo “Buck”.

Siendo conocido el modelo de convertidor conmutado a controlar se ha procedido a realizar el diseño y estudio de diversos reguladores entre los cuales se ha elegido el óptimo para controlar la planta. Una vez elegido el regulador se ha desarrollado la implementación en de forma digital. Debido a la frecuencia a la que conmutan los elementos que hacen de interruptor sumado a las propias ventajas que presenta la biblioteca *sfixed* se ha argumentado la prioridad de desarrollar el modelo en coma fija, detallando previamente los aspectos teóricos más importantes de esta escritura.

A través del ciclo de trabajo se ha regulado la tensión a controlar. Tras la verificación del diseño se ha realizado el control físico mediante dispositivos hardware FPGA de la familia 7 de Xilinx, a la par que se ha hecho hincapié en las ventajas de estos dispositivos basados en hardware físico frente a los microcontroladores, además el dispositivo utilizado presenta la ventaja de incluir ADC integrado en el propio dispositivo. Una vez sintetizado en el dispositivo se han realizado una batería de pruebas para ratificar el diseño del regulador, probando el mismo en lazo abierto y comparándolo con el modelo teórico. Verificado el correcto diseño del regulador, se ha realizado el control en lazo cerrado junto con el modelo de la planta, comparando de nuevo los resultados con los teóricos.

Para finalizar el trabajo paralelamente se han realizado más pruebas del regulador, esta vez integrando el regulador en un nuevo dispositivo comercial, SpCard, cuya característica principal es tener software diseñado asociado a la propia placa. Se ha comparado de manera exhaustiva las pruebas en este nuevo dispositivo junto con las del regulador diseñado y junto a las comparaciones obtenidas con los modelos teóricos han servido para concluir y verificar el correcto diseño del control digital realizado.

5.2 Trabajo futuro

Continuando con las pautas de investigación, que han motivado la realización de este trabajo y se han desarrollado en el mismo, surgen posibles pautas de trabajo futuro las cuales se presentan a continuación.

- Por un lado extender el control digital a otras topologías de convertidores conmutados como pueden ser: Boost, Buck multifase, Flyback, Buck-Boost, etcétera. Al extender el control digital a otras topologías pueden surgir en algunas de ellas dobles lazos, por lo tanto el diseño de reguladores de varios lazos es otra de las posibles pautas de investigación, dobles lazos como lo son el lazo de corriente de un Buck multifase además del lazo de tensión o el doble lazo de corrector de potencia.
- Por otro lado, otros de los estudios que se pueden realizar es investigar en la adaptación de reguladores a nuevas FPGAs que han salido recientemente al mercado como lo son las de la familia MAX10 de Altera que además de disponer de ADC integrado son más económicas.

Bibliografía

- [1] S.Jurado, “Emulación en FPGA del lazo cerrado de un controlador digital para convertidor conmutado”, Trabajo de Fin de Grado, septiembre 2014.
- [2] R.Damaye, C.Cagne, “Fuentes de Alimentación Electrónicas Conmutadas”, S.A. EDICIONES PARANINFO, 1995.
- [3] A. Sánchez González, “Aportaciones mediante implementación basados en sistemas embebidos al control digital de convertidores conmutados”, Tesis Doctoral, Universidad Autónoma de Madrid, 2013.
- [4] A. de Castro Martín “Aplicación del control digital basado en hardware específico para convertidores de potencia conmutados”, Tesis Doctoral, Universidad Politécnica de Madrid, 2003.
- [5] A. Skandarnezhad, A.Rahmati, A.Abrishamifar, A.Kalteh, “Small-Signal Transfer-Function Extraction of a Lossy Buck Converter Using ASM Technique”, Department of Electrical and Electronic Engineering, Iran University of Science and Technology (IUST), Tehran, Iran.
- [6] Erikson, Robert W, “Fundamentals of Power Electronics”. Second Edition, Secaucus, NJ, USA: Kluwer Academic Publishers, 2000.
- [7] MATHWORKS, www.mathworks.com, junio 2016.
- [8] Katsuhiko Ogata, "Ingeniería de control moderna", Pearson educación: Prentice Hall, 2003.
- [9] “Fixed point theory and applications”, Hindawi Publishing Corporation, ISSN:1687-1820, 2004.
- [10] David Bishop, “*Fixed point package user’s guide*”, Paquetes VHDL-2008.
- [11] <<Xilinx, ZYBO™ FPGA Board Reference Manual, Hoja de datos de la FPGA Zynq-7000 ARM/FPGA SoC Trainer Board, junio 2016.
- [12] L. Usero, “Diseño, implementación y control de reductor multifase”, Trabajo de Fin de Grado, septiembre 2014.
- [13] Sp Control Technologies, <http://www.spcontroltechnologies.com/>, junio 2015.

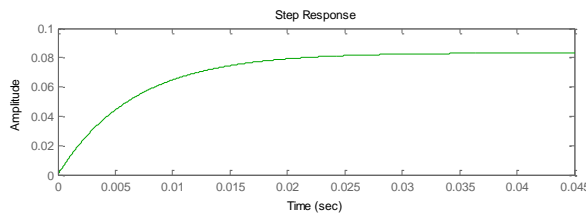
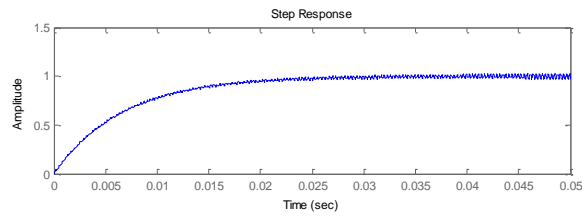
Glosario de acrónimos

- **ADC:** Analog to Digital Converter
- **C:** Condensador
- **CC:** Corriente Continua
- **EPS:** Escuela Politécnica Superior
- **FPGA :** Field Programmable Gate Array
- **HW:** Hardware
- **L:** Bobina
- **PWM:** Pulse-Width-Modulation
- **R:** Resistencia
- **TFG:** Trabajo Fin de Grado
- **VHDL:** VHSIC Hardware Description Language
- **VHSIC:** Very High Speed Integrated Circuits
- **Vin:** Tensión de Entrada
- **Vout:** Tensión de Salida

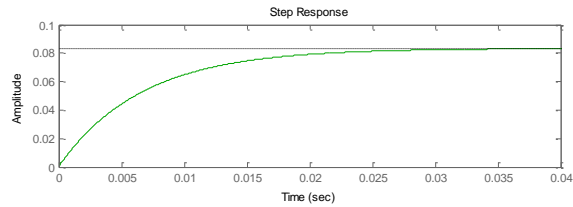
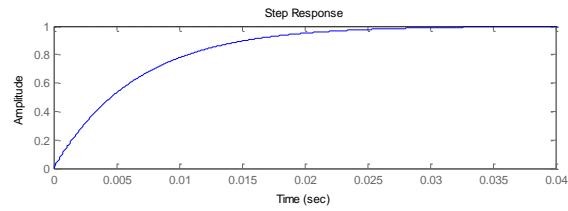
Anexo A: Estudio a diferentes cargas de los reguladores no implementados

$$R1(z) = 0,0002 * \frac{(z + 0,25)(z - 0,75)}{(z - 1)z}$$

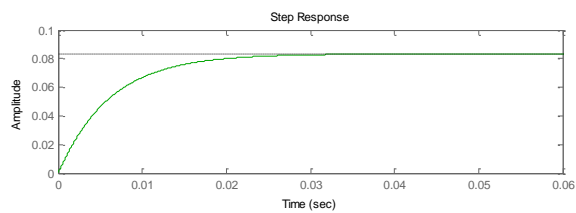
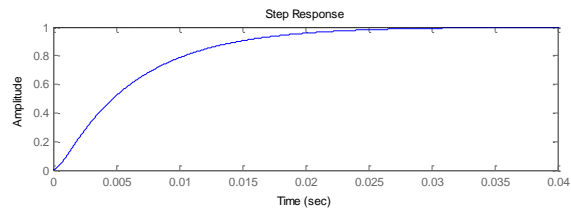
R=100 Ω



R=10 Ω



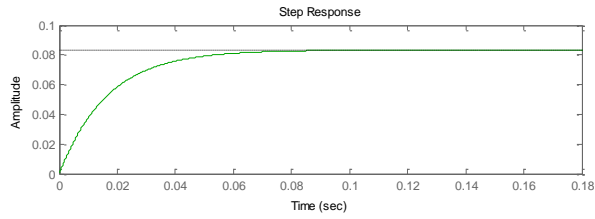
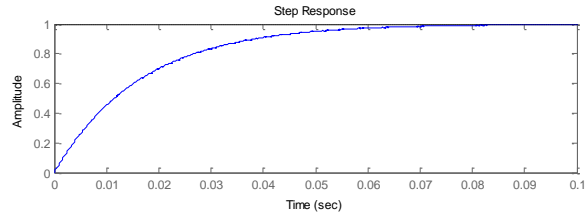
R=0.05 Ω



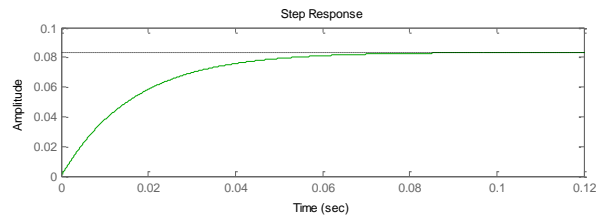
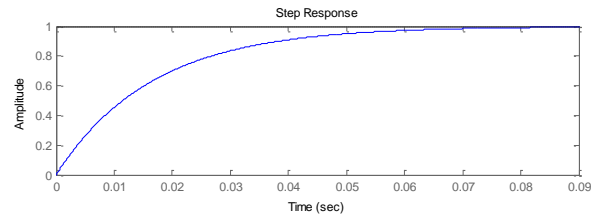
Figuras 41, 42 y 43: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta, a diferentes cargas para el regulador de ejemplo número 1

$$R2(z) = 0,0001 * \frac{(z - 0,75)}{(z - 1)}$$

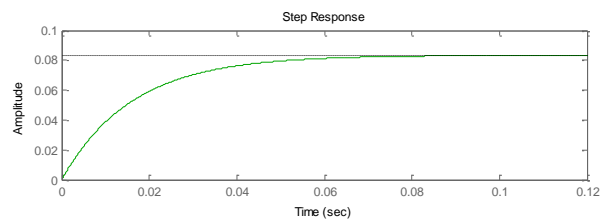
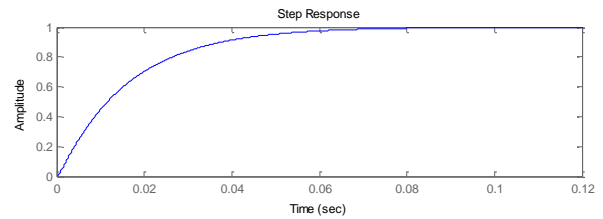
R=100 Ω



R=10 Ω



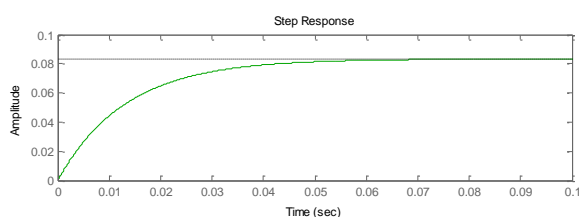
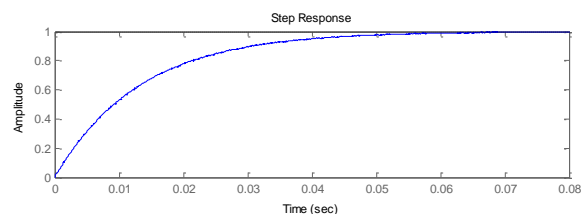
R=0.05 Ω



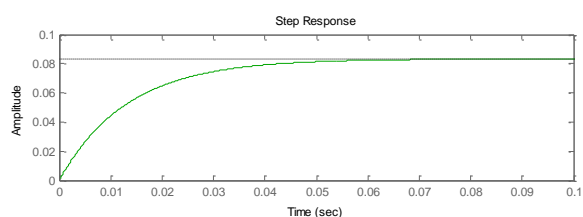
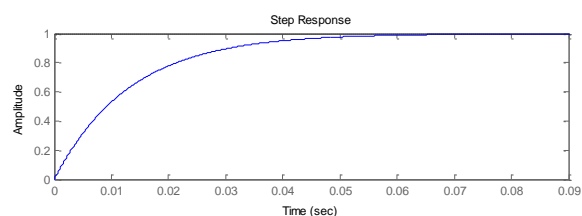
Figuras 44, 45 y 46: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta, a diferentes cargas para el regulador de ejemplo número 2

$$R3(z) = 0,0001 * \frac{(z + 0,25)(z - 0,75)}{(z - 1)z}$$

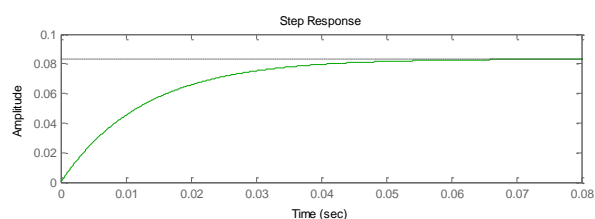
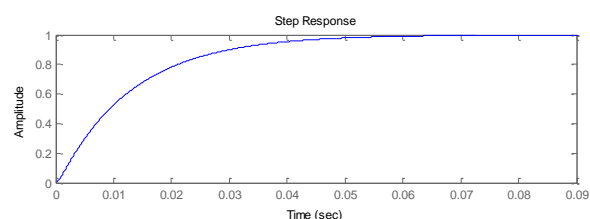
R=100 Ω



R=10 Ω



R=0.05 Ω



Figuras 47, 48 y 49: Respuesta al escalón unitario en función del tiempo, del control y del lazo cerrado incluida la planta, a diferentes cargas para el regulador de ejemplo número 3

Anexo B: Simulación en lazo abierto del regulador y comparativa con el modelo teórico

1.-Resultados Simulación en Matlab:

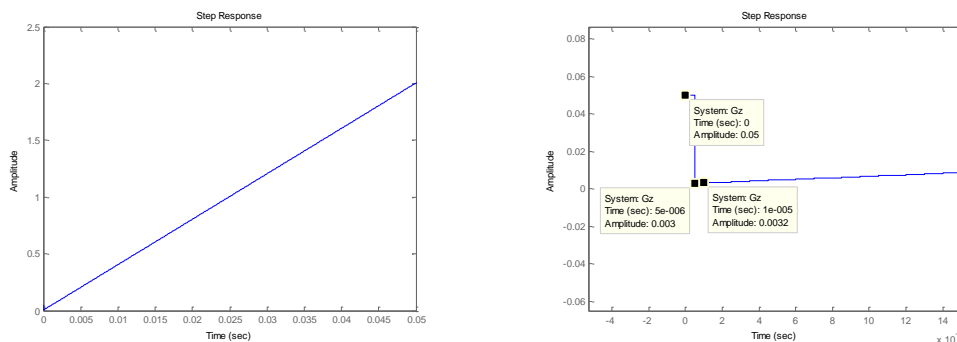


Figura 50: Respuesta, en Matlab, del regulador en lazo abierto

2.-Resultados Simulación en ISim:

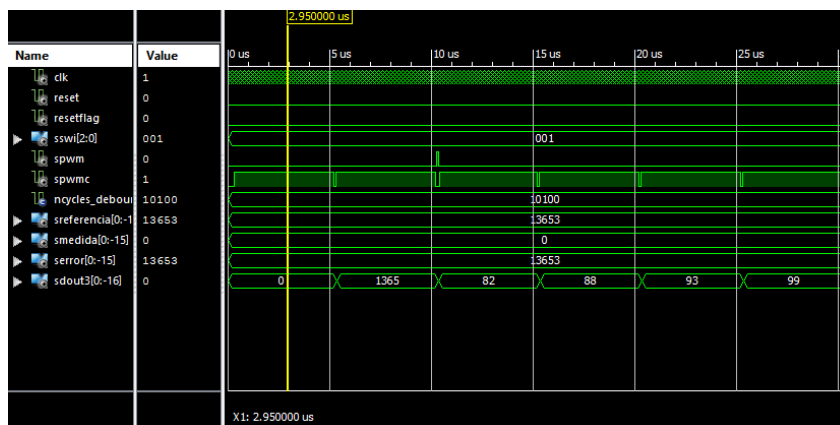


Figura 51: Respuesta, en ISim, del regulador en lazo abierto

Para hacer la comparativa con el modelo teórico, se han cotejado el valor de las primeras muestras y el tiempo en el que estas se producen. Para entender la comparativa realizada se han de tener en cuenta varios puntos:

- Se debe tener en cuenta la señal de error y las escalas, tanto de la señal de error como la escala de la señal de salida que expresa el ciclo de trabajo:

$$Valor\ de\ Matlab = \frac{\left(\frac{sDout}{2^{16}}\right)}{\left(\frac{serror}{2^{15}}\right)}$$

- Debido a que en la simulación incluimos un período de reloj = 20 ns donde la señal RESET=0, se tiene que tener en cuenta este pequeño retraso para todos los valores simulados así como, que al resetear las señales se obtiene un primer valor de ciclo de trabajo igual a 0. De manera que el primer valor teórico en realidad se corresponde con el segundo valor obtenido en la simulación y así sucesivamente.
- Por último se deben tener en cuenta también los factores de redondeo

A modo de resumen se presentan los datos obtenidos en cada simulación y el error cometido, es decir la diferencia entre el valor teórico y el simulado. Como se aprecia el error cometido es muy bajo y se mantiene constante lo que nos hace indicar que el diseño del regulador es correcto.

VALOR	Simulación	Matlab	ERROR
1°	0,0499897	0,0500	$1,1 \times 10^{-5}$
2°	0,0033000	0,0030	3×10^{-4}
3°	0,0032227	0,0032	$2,27 \times 10^{-5}$
4°	0,0034584	0,0034	$5,84 \times 10^{-5}$
5°	0,0036255	0,0036	$2,55 \times 10^{-5}$

Tabla 6: Resultados comparativos de la simulación del regulador en lazo abierto

Anexo C: Simulación en lazo abierto de la planta y comparativa con el modelo teórico

1.-Resultados Simulación Matlab. Carga ($R=10\Omega$)

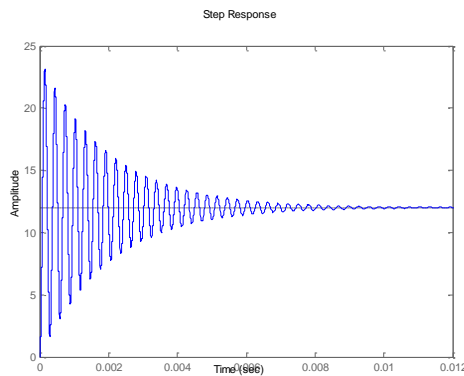


Figura 52: Respuesta, en Matlab, de la planta en lazo abierto para $R=10\Omega$

2.-Resultados Simulación VHDL. Carga ($R=10\Omega$)

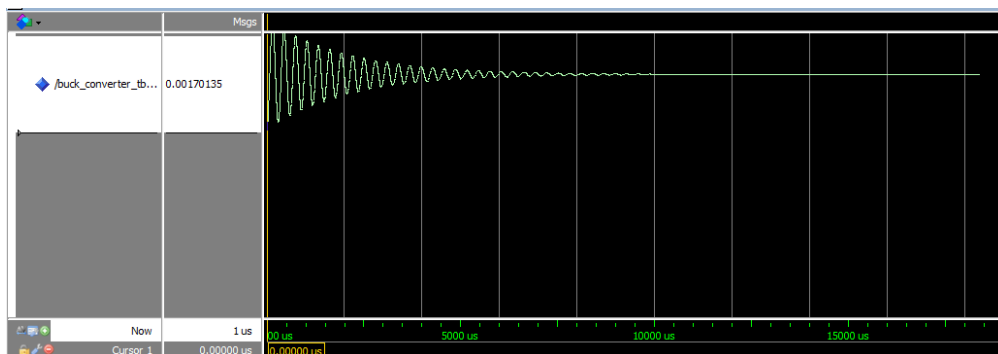
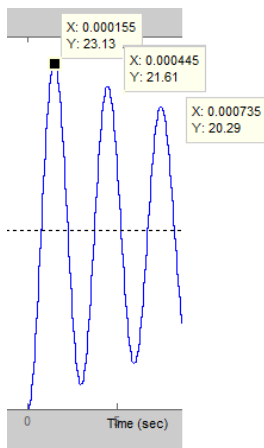


Figura 53: Respuesta en ModelSim, de la planta en lazo abierto para $R=10\Omega$

Con el fin de realizar una comparación exacta de los resultados, se ha comparado:

- Valores máximos y mínimos en los que se producen las primeras oscilaciones.
- Tiempo en el que se producen estos valores máximos y mínimos.
- Tiempo en el que la planta tiende a estabilizarse

Se tiene que tener en cuenta que en la planta simulada en ModelSim el ciclo de trabajo fijo es de 0,5, no es un escalón unitario como en los resultados teóricos de MATLAB, por ello, para comparar los valores se debe dividir el valor teórico entre 2. Por otro lado los valores teóricos no tienen en cuenta los tiempos muertos, por ese motivo cuando se realice la comparativa con la simulación teniendo en cuenta los tiempos muertos los valores quedan algo dispares, por este motivo se ha decidido realizar de nuevo una comparativa sin tener en cuenta tiempos muertos en la simulación.

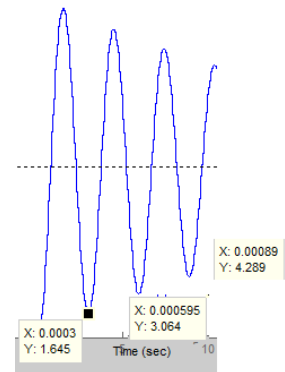


1ª.-VALORES MATLAB (R=10Ω)

- 1.-Valor Primer máximo (Primer pico de oscilación) = **23,13 [V]**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **21,61 [V]**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **20,29 [V]**
- 1.-Tiempo Primer máximo (Primer pico de oscilación) = **155 [us]**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **445 [us]**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **735 [us]**

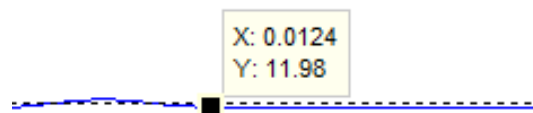
1ª.-VALORES MATLAB (R=10Ω)

- 1.-Valor Primer mínimo (Primer pico de oscilación) = **1,645[V]**
- 2.-Valor Segundo mínimo (Segundo pico de oscilación) = **3,064 [V]**
- 3.-Valor Tercer mínimo (Tercer pico de oscilación) = **4,289 [V]**
- 1.-Tiempo Primer mínimo (Primer pico de oscilación) = **300 [us]**
- 2.-Tiempo Segundo mínimo (Segundo pico de oscilación) = **595 [us]**
- 3.-Tiempo Tercer mínimo (Tercer pico de oscilación) = **890 [us]**



1ª.-VALORES MATLAB (R=10Ω)

- 1.-Tiempo de Establecimiento = **12,4 [ms]**
- 2.-Valor de la Tensión = **11,98 [V]**



1ª.SIMULACIÓN ModelSim (Con Dead-Time) R=10Ω

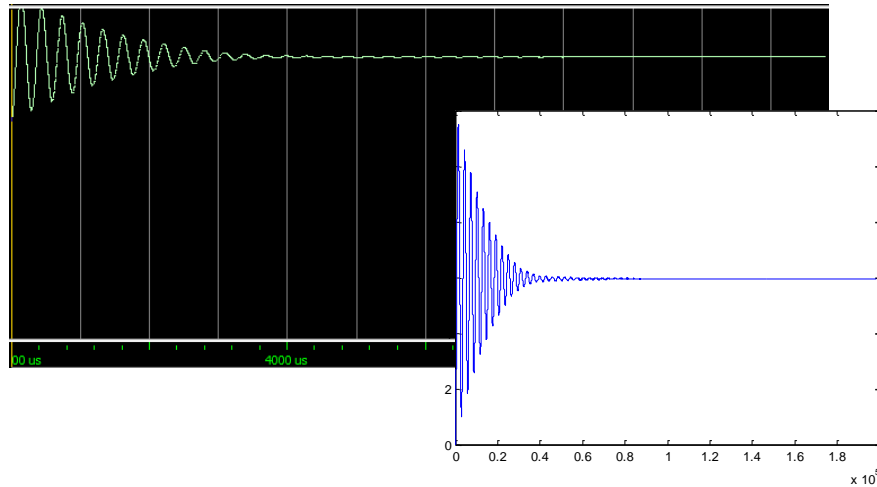


Figura 54: Respuesta, en ModelSim, de la planta en lazo abierto con dead-time

1º.-VALORES ModelSim (R=10Ω)

- 1.-Valor Primer máximo (Primer pico de oscilación) = **11,49 [V]**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **10,56 [V]**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **9,768 [V]**
- 1.-Tiempo Primer máximo (Primer pico de oscilación) = **146,19 [us]**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **442,7 [us]**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **735,5 [us]**

1º.-VALORES ModelSim (R=10Ω)

- 1.-Valor Primer mínimo (Primer pico de oscilación) = **0,9915 [V]**
- 2.-Valor Segundo mínimo (Segundo pico de oscilación) = **1,85 [V]**
- 3.-Valor Tercer mínimo (Tercer pico de oscilación) = **2,587 [V]**
- 1.-Tiempo Primer mínimo (Primer pico de oscilación) = **293,9 [us]**
- 2.-Tiempo Segundo mínimo (Segundo pico de oscilación) = **590,5 [us]**
- 3.-Tiempo Tercer mínimo (Tercer pico de oscilación) = **884 [us]**

1º.-VALORES ModelSim (R=10Ω)

- 1.-Tiempo de Establecimiento = **6 [ms]**
- 2.-Valor de la Tensión = **12,75 [V]**

2ª.-COMPARACIÓN ModelSim (Sin Dead-Time) R=10Ω

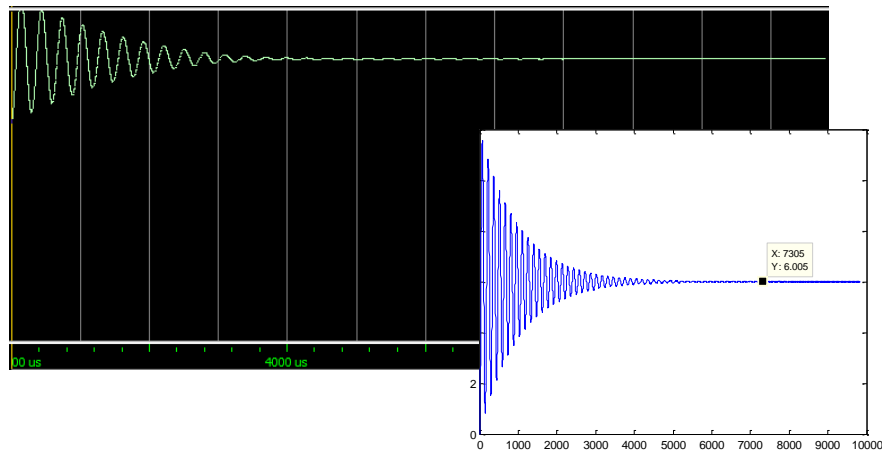


Figura 55: Resulta, en ModelSim, de la planta en lazo abierto sin dead-time

2º.-VALORES ModelSim (R=10Ω)

- 1.-Valor Primer máximo (Primer pico de oscilación) = **11,57 [V]**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **10,81 [V]**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **10,16 [V]**
- 1.-Tiempo Primer máximo (Primer pico de oscilación) = **149 [us]**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **442 [us]**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **736 [us]**

2º.-VALORES ModelSim (R=10Ω)

- 1.-Valor Primer mínimo (Primer pico de oscilación) = **0,8175 [V]**
- 2.-Valor Segundo mínimo (Segundo pico de oscilación) = **1,529 [V]**
- 3.-Valor Tercer mínimo (Tercer pico de oscilación) = **2,131 [V]**
- 1.-Tiempo Primer mínimo (Primer pico de oscilación) = **301 [us]**
- 2.-Tiempo Segundo mínimo (Segundo pico de oscilación) = **585 [us]**
- 3.-Tiempo Tercer mínimo (Tercer pico de oscilación) = **892,3 [us]**

2º.-VALORES ModelSim (R=10Ω)

- 1.-Tiempo de Establecimiento = **6,002 [ms]**
- 2.-Valor de la Tensión = **12,5 [V]**

Tiempo de simulación:

VALOR	Matlab	VHDL SD	VHDL CD
1er Máximo	155 us	149 us	146,19 us
2º Máximo	445 us	442 us	442,7 us
3er Máximo	735 us	736 us	735,5 us
1er Mínimo	300 us	301 us	293,9 us
2º Mínimo	595 us	585 us	590,5 us
3er Mínimo	890 us	892,3 us	884 us
Establecimiento	12,4 ms	12,5 ms	12,75 ms

Tabla 7: Resultados comparativos de la simulación de la planta en lazo abierto para $R = 10 \Omega$

Valor de la tensión:

VALOR	Matlab	VHDL SD	VHDL CD
1er Máximo	11,565 [v]	11,57 [v]	11,49 [v]
2º Máximo	10,805 [v]	10,81 [v]	10,56 [v]
3er Máximo	10,145 [v]	10,16 [v]	9,768 [v]
1er Mínimo	0,825 [v]	0,9175 [v]	0,9915 [v]
2º Mínimo	1,532 [v]	1,529 [v]	1,85 [v]
3er Mínimo	2,144 [v]	2,131 [v]	2,587 [v]
Establecimiento	5,99 [v]	6,002 [v]	5,95 [v]

Tabla 8: Resultados comparativos de la simulación de la planta en lazo abierto para $R = 10 \Omega$

Repetimos todos los apartados anteriores, pero para una carga mayor $R = 100\Omega$

1.-Resultados Simulación Matlab. Carga ($R=100\Omega$)

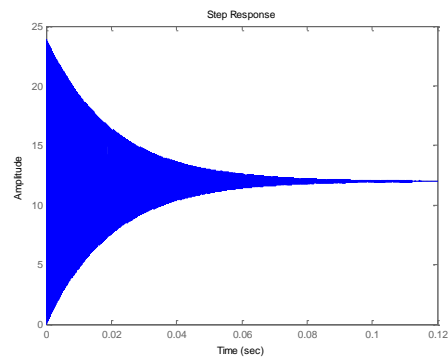


Figura 56: Respuesta, en Matlab, de la planta en lazo abierto para $R = 100\Omega$

2.-Resultados Simulación ModelSim. Carga ($R=100\Omega$)

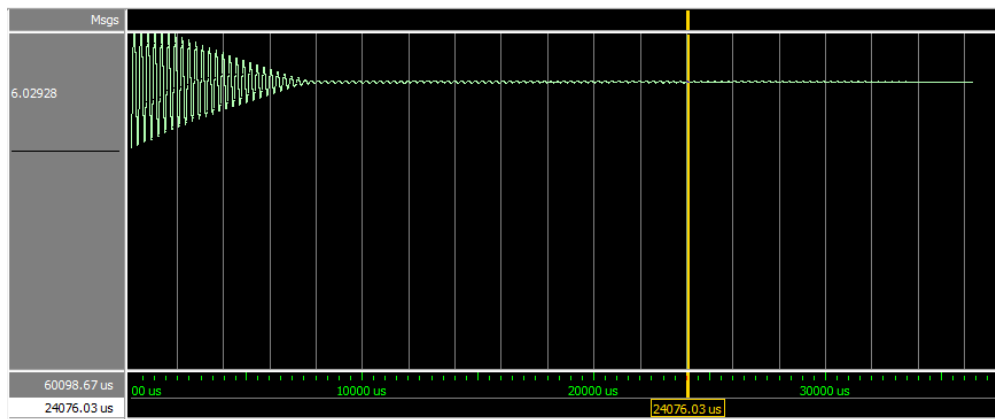


Figura 57: Respuesta, en ModelSim, de la planta en lazo abierto para $R = 100\Omega$

	Valor (Tiempo)	MATLAB	VHDL SD	VHDL CD
1er Máximo	150 us	11,95 V	11,9444 V	11,8521 V
2º Máximo	445 us	11,85 V	11,8625 V	11,5786 V
3er Máximo	740 us	11,8 V	11,7814 V	11,317 V
1er Mínimo	300 us	0,088 V	0,12593 V	0,3168145 V
2º Mínimo	595 us	0,1745 V	0,212947 V	0,584088 V
3er Mínimo	890 us	0,2605 V	0,294517 V	0,849774 V
Establecimiento	123 ms	6 V	6,01481 V	6,00253 V

Tabla 9: Resultados comparativos de la simulación de la planta en lazo abierto para $R = 100\Omega$

Los resultados reflejados a ambas cargas nos han servido para validar el modelo diseñado de la planta.

Anexo D: Simulación del sistema completo en lazo cerrado y comparativa con el modelo teórico

1.-Resultados Simulación Matlab. Carga ($R=10\Omega$)

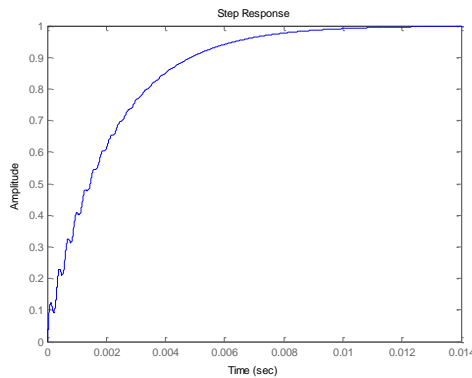


Figura 58: Respuesta, en Matlab, del regulador en lazo cerrado

2.-Resultados Simulación ModelSim. Carga ($R=10\Omega$)

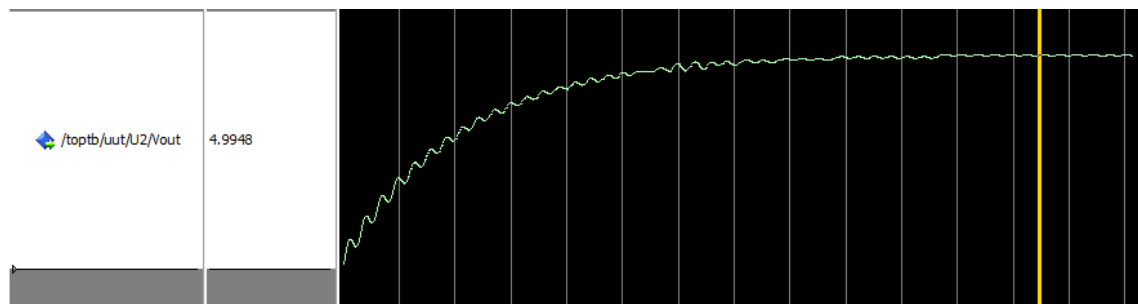


Figura 59: Respuesta, en ModelSim, del regulador en lazo cerrado

Con el fin de realizar una comparación exacta de los resultados, se ha comparado:

- Valores máximos y mínimos en los que se producen las primeras oscilaciones.
- Tiempo en el que se producen estos valores máximos y mínimos.
- Tiempo en el que la tensión llega al 95% de su valor

Se tiene que tener en cuenta que en el sistema simulado en VHDL el escalón introducido es de valor 5 V, no es un escalón unitario como en los resultados teóricos en MATLAB por ello para comparar los valores se debe dividir el valor simulado entre 5 para dejar ambas simulaciones en la misma escala. Por otro lado los valores teóricos no tienen en cuenta los tiempos muertos, por ello cuando se realice la comparativa con la simulación teniendo en cuenta los tiempos muertos los valores quedan algo dispares, por este motivo se ha decidido realizar de nuevo una comparativa sin tener en cuenta tiempos muertos en la simulación.

1º.-VALORES MATLAB (R=10Ω)

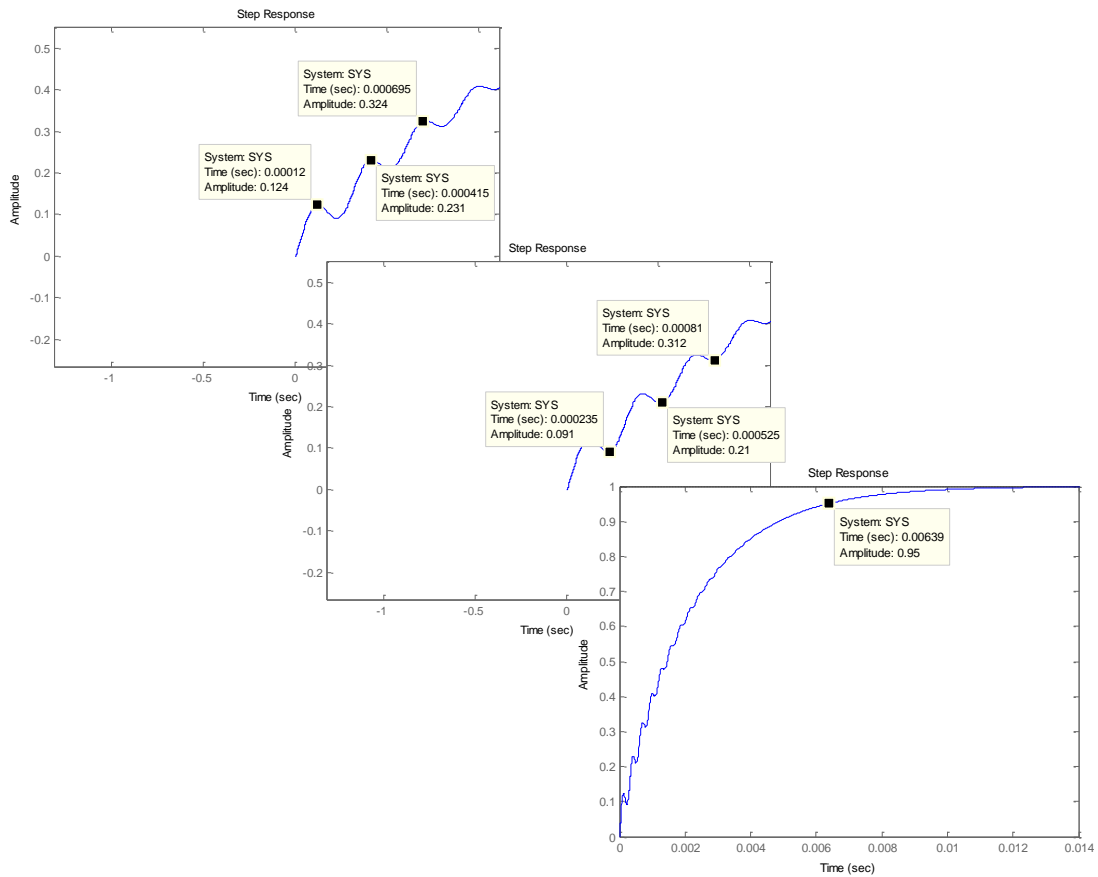


Figura 60: Valores, en Matlab, del regulador en lazo cerrado en diferentes instantes de tiempo

- 1.-Valor Primer máximo (Primer pico de oscilación) = **0,124 [V]**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **0,231 [V]**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **0,324 [V]**
- 1.-Tiempo Primer máximo (Primer pico de oscilación) = **120 us**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **415 us**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **695 us**

- 1.-Valor Primer mínimo (Primer pico de oscilación) = **0,091 [V]**
- 2.-Valor Segundo mínimo (Segundo pico de oscilación) = **0,21 [V]**
- 3.-Valor Tercer mínimo (Tercer pico de oscilación) = **0,312 [V]**
- 1.-Tiempo Primer mínimo (Primer pico de oscilación) = **235 us**
- 2.-Tiempo Segundo mínimo (Segundo pico de oscilación) = **525 us**
- 3.-Tiempo Tercer mínimo (Tercer pico de oscilación) = **810 us**

- 1.-Tiempo 95% Valor de la Amplitud = **6390 us**
- 2.-Valor de la Tensión = **0,95 [V]**

2º.-VALORES MODEL SIM (Sin Dead-Time) R=10Ω

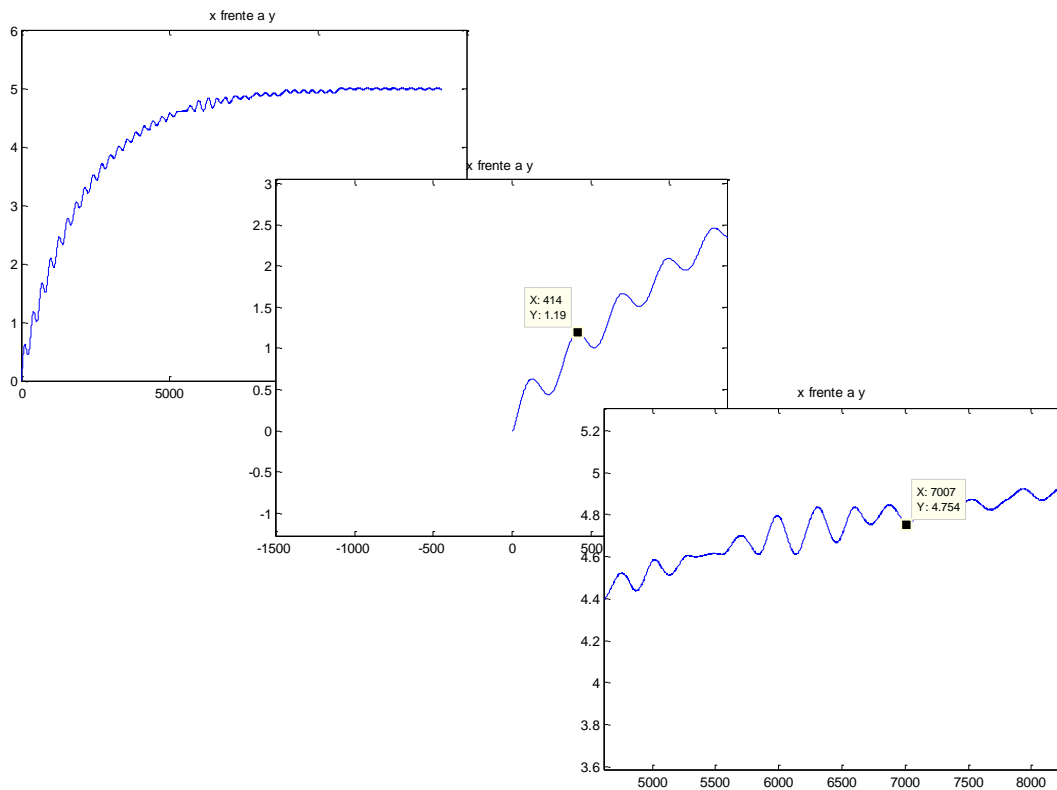


Figura 61: Valores, en ModelSim sin dead-time, del regulador en lazo cerrado en diferentes instantes de tiempo

- 1.-Valor Primer máximo (Primer pico de oscilación) = **0,12588 [V]**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **0,238 [V]**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **0,333 [V]**
- 1.-Tiempo Primer máximo (Primer pico de oscilación) = **129 us**
- 2.-Valor Segundo máximo (Segundo pico de oscilación) = **414 us**
- 3.-Valor Tercer máximo (Tercer pico de oscilación) = **704 us**

- 1.-Valor Primer mínimo (Primer pico de oscilación) = **0,08882 [V]**
- 2.-Valor Segundo mínimo (Segundo pico de oscilación) = **0,203 [V]**
- 3.-Valor Tercer mínimo (Tercer pico de oscilación) = **0,3016 [V]**
- 1.-Tiempo Primer mínimo (Primer pico de oscilación) = **241 us**
- 2.-Tiempo Segundo mínimo (Segundo pico de oscilación) = **536 us**
- 3.-Tiempo Tercer mínimo (Tercer pico de oscilación) = **816 us**

- 1.- Tiempo 95% Valor de la Amplitud = **6340 us**
- 2.-Valor de la Tensión = **0,95 [V]**

3°.-VALORES MODEL SIM (Con Dead-Time) R=10Ω

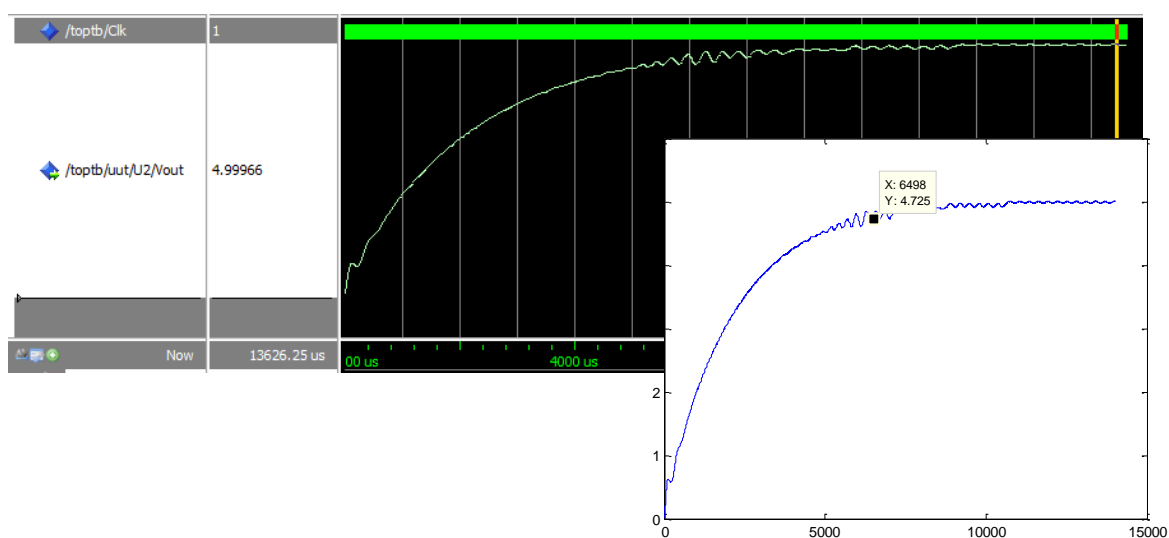


Figura 62: Valores, en ModelSim con dead-time, del regulador en lazo cerrado en diferentes instantes de tiempo

Con tiempos muertos, aunque la tensión oscile en los valores finales no es fácil apreciar las primeras oscilaciones, de manera que sólo se han tomado muestras donde se aprecia con claridad la oscilación.

1.-Valor Primer máximo (Primer pico de oscilación) = **0,1259 [V]**

2.-Tiempo Primer máximo (Primer pico de oscilación) = **133 us**

1.-Valor Primer mínimo (Primer pico de oscilación) = **0,1197 [V]**

2.-Tiempo Primer mínimo (Primer pico de oscilación) = **255 us**

1.-Tiempo de Establecimiento = **6942 us**

2.-Valor de la Tensión = **0,95 [V]**

Tal y como se muestra en las tablas 10 y 11, los valores simulados en MODEL SIM así como los valores obtenidos de la simulación teórica son muy parejos, sobre todo en la simulación sin tiempos muertos. Nuevamente esta última comparativa ha servido para validar de nuevo el correcto diseño del regulador.

Tiempo de simulación:

	MATLAB	VHDL SD	VHDL CD
1er Máximo	120 us	129 us	133 us
2º Máximo	415 us	414 us	
3er Máximo	695 us	704 us	
1er Mínimo	235 us	241 us	230 us
2º Mínimo	525 us	536 us	
3er Mínimo	810 us	816 us	
Establecimiento	6390 us	6940 us	6942 us

Tabla 10: Resultados comparativos de la simulación en lazo cerrado para $R = 10 \Omega$

Valor de la tensión:

	MATLAB	VHDL SD	VHDL CD
1er Máximo	0.124	0.12588	0.1259
2º Máximo	0.231	0.238	
3er Máximo	0.324	0.333	
1er Mínimo	0.091	0.08882	0.1141
2º Mínimo	0.21	0.203	
3er Mínimo	0.312	0.3016	
Establecimiento	0.95	0.95	0.95

Tabla 11: Resultados comparativos de la simulación en lazo cerrado para $R = 10 \Omega$

Anexo E: Estudio completo de los lazos de tensión y comparativa con el modelo teórico

Regulador en lazo abierto

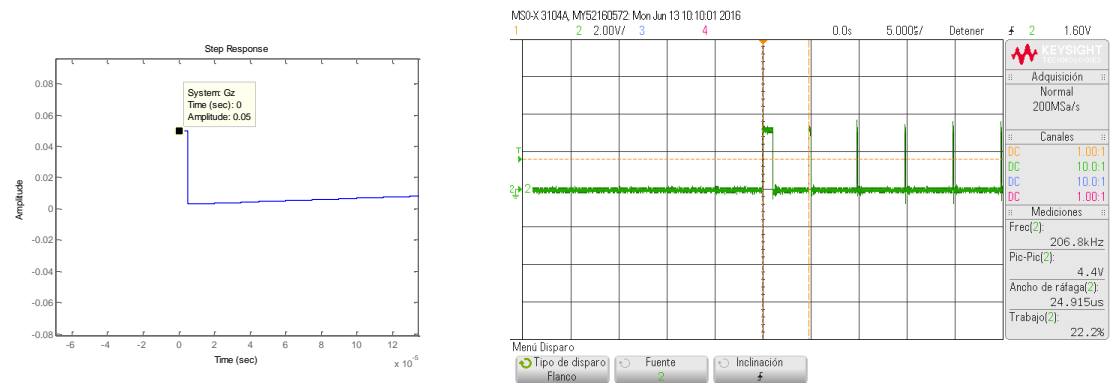


Figura 63: Ciclo de trabajo instante inicial $t=0$ ms

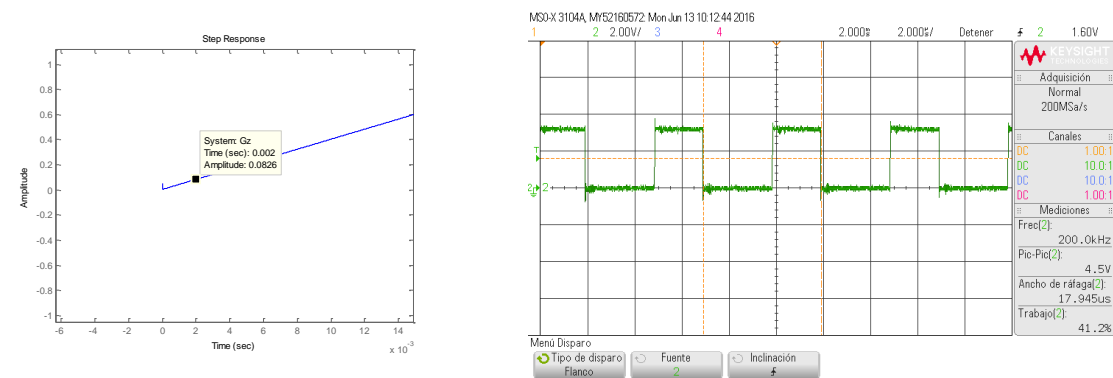


Figura 64: Ciclo de trabajo instante $t=2$ ms

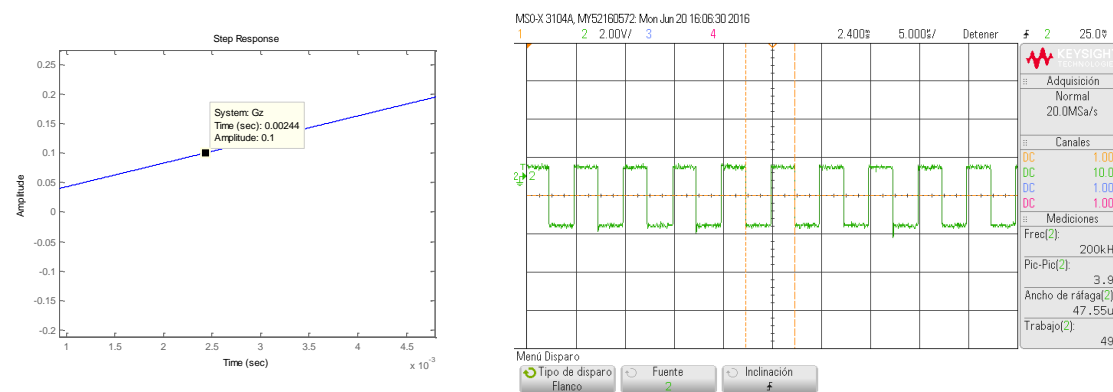


Figura 65: Ciclo de trabajo instante $t=2.44$ ms

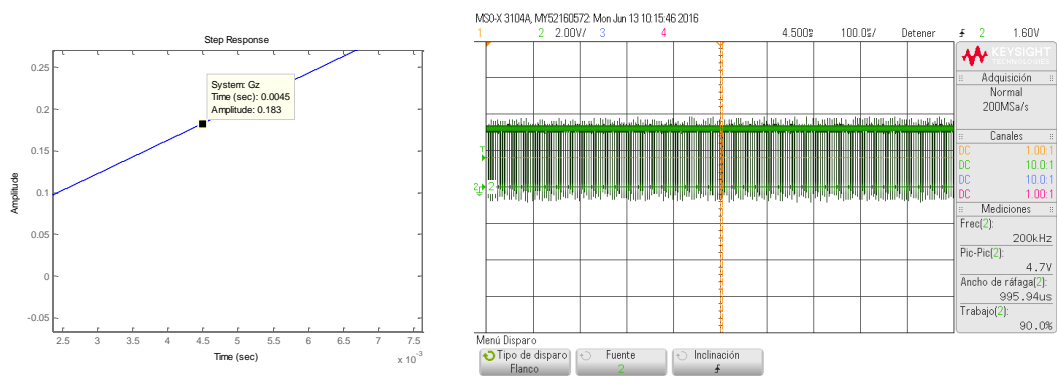


Figura 65: Ciclo de trabajo instante $t=4,5\text{ ms}$

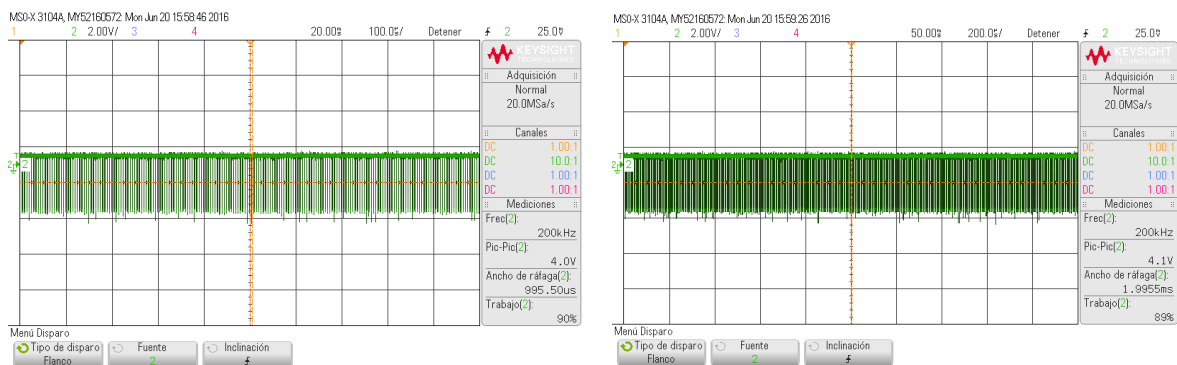
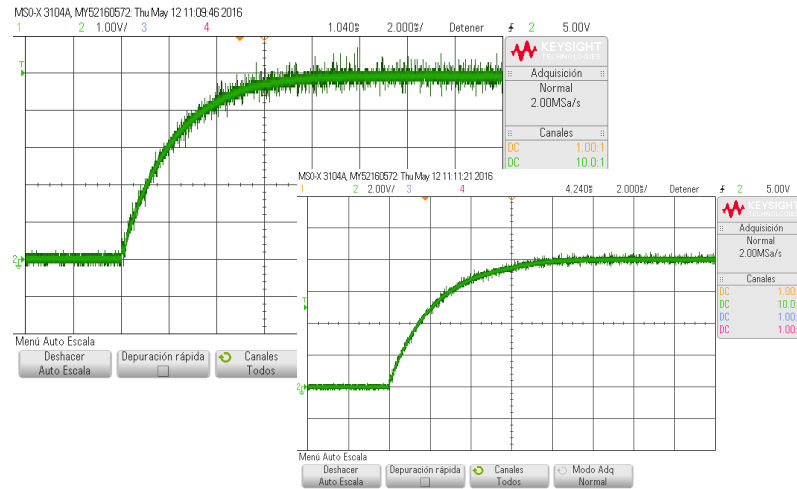


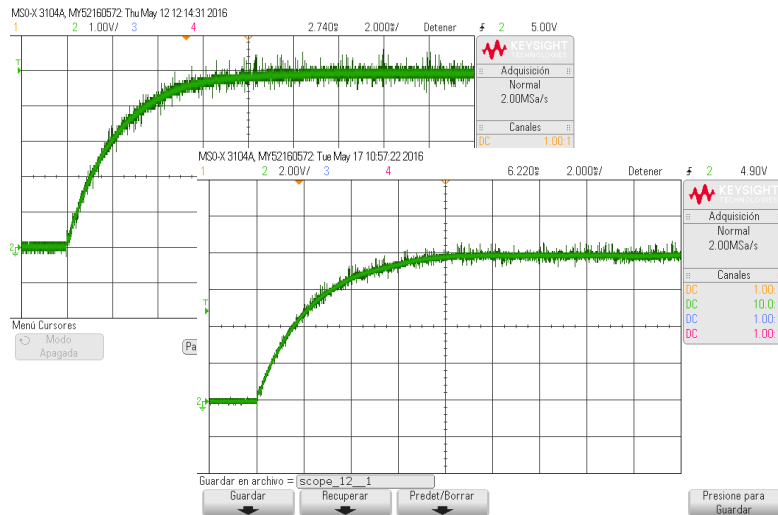
Figura 66: Ciclo de trabajo saturado al 90%

Regulador en lazo cerrado

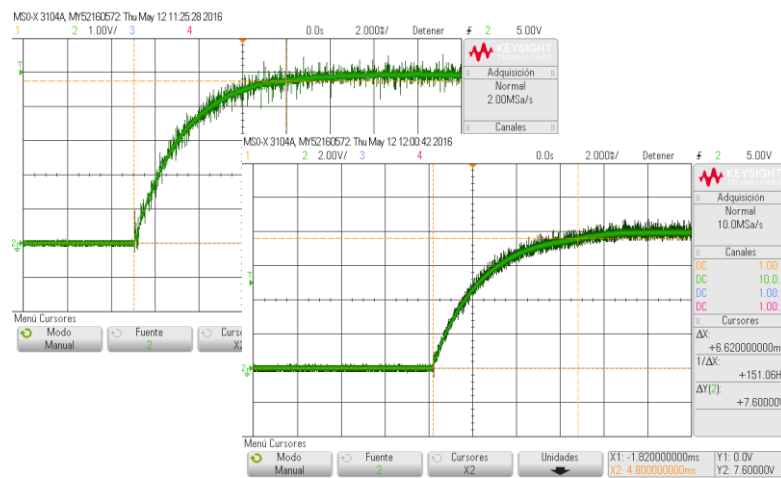
R=10 Ω



R=5 Ω



R=2,5 Ω



Figuras 68, 69 y 70: Respuesta del regulador en lazo cerrado a diferentes cargas, para valores de tensión de referencia 5V y 8V

Anexo F: Estudio completo de la comparativa con el dispositivo SpCard

Regulador en lazo abierto

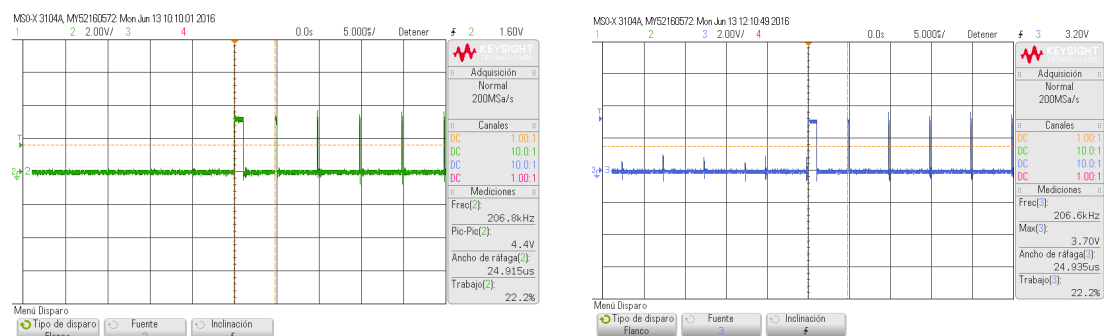


Figura 71: Comparativa ciclo de trabajo instante inicial $t=0$ ms

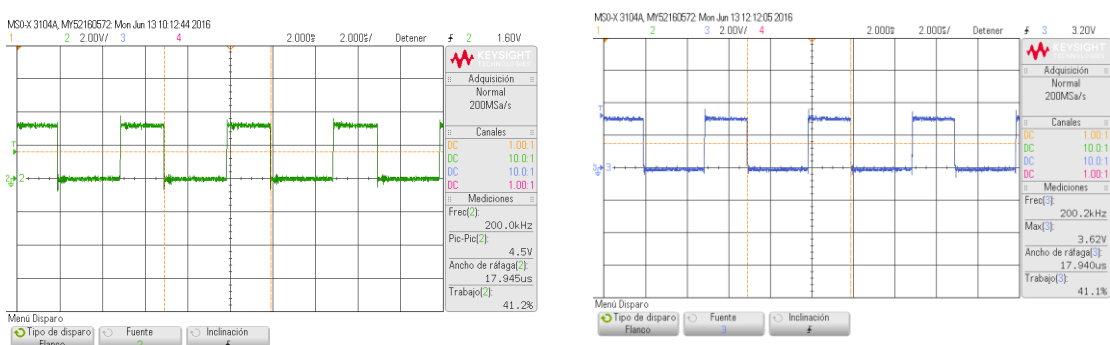


Figura 72: Comparativa ciclo de trabajo instante $t=2$ ms

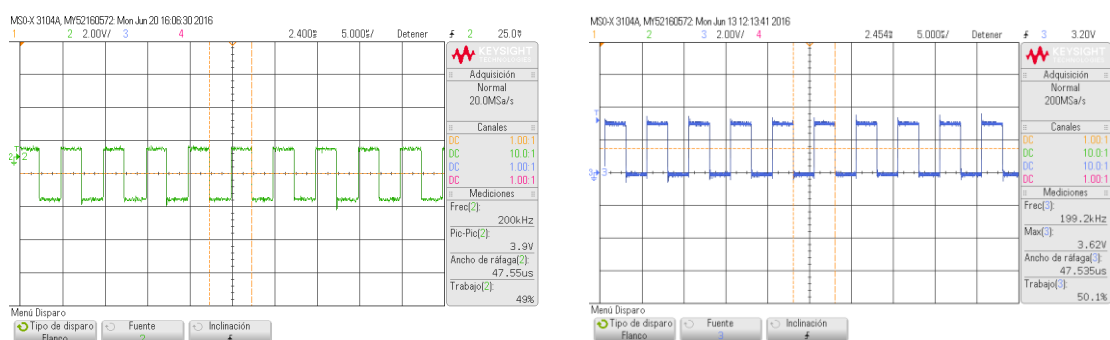


Figura 73: Comparativa ciclo de trabajo instante $t=2,44$ ms

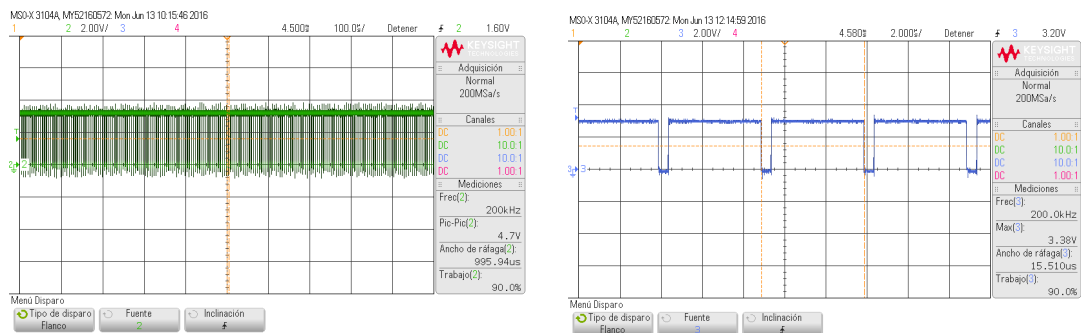


Figura 74: Comparativa ciclo de trabajo instante $t=4,5\text{ ms}$

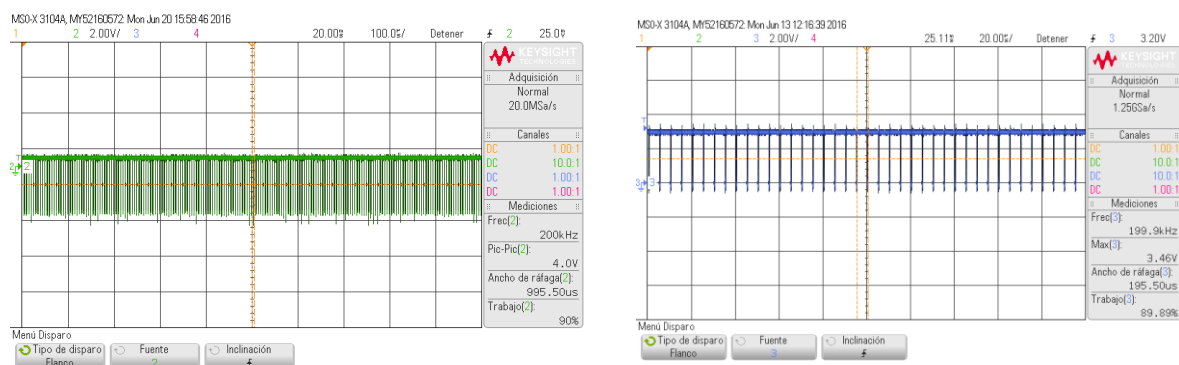
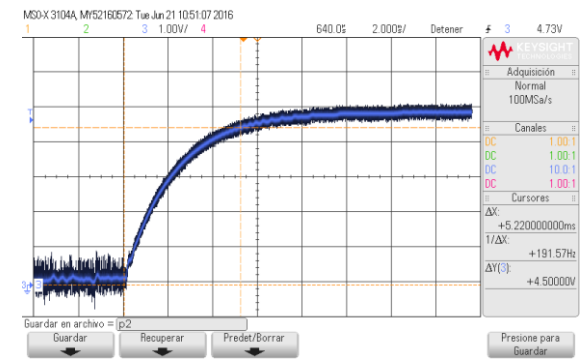
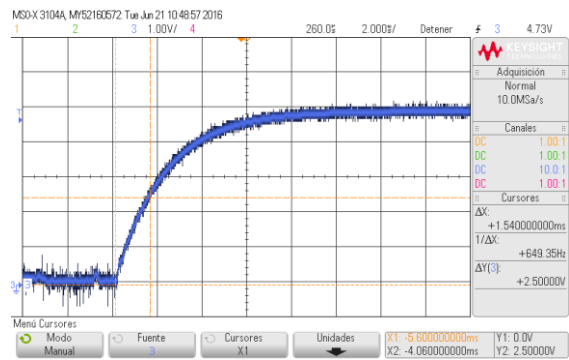
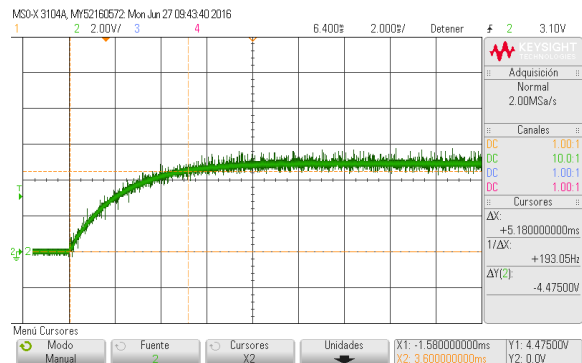
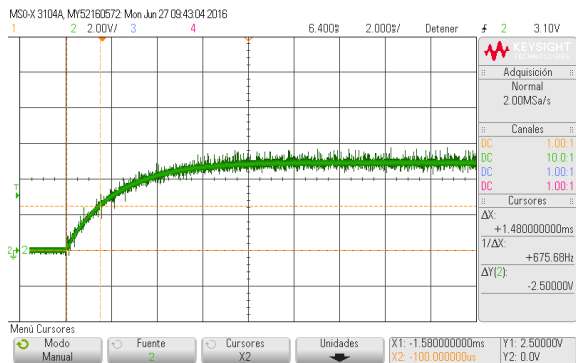


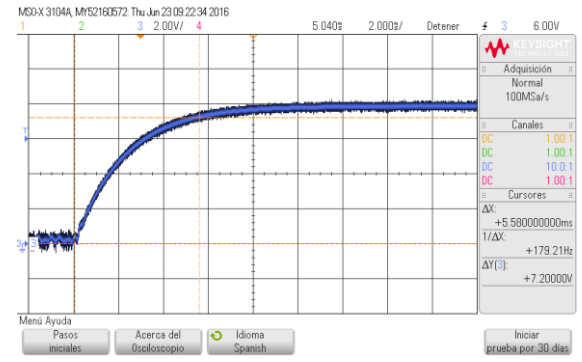
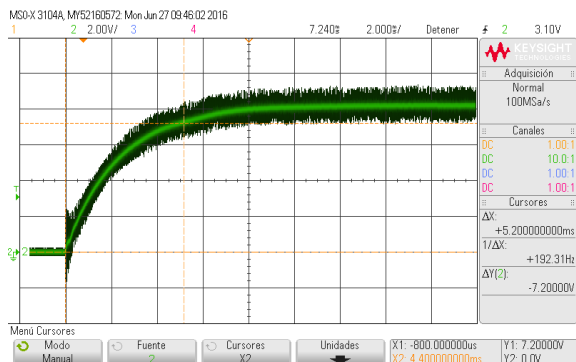
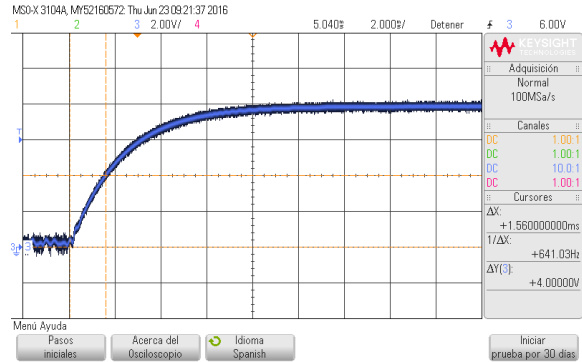
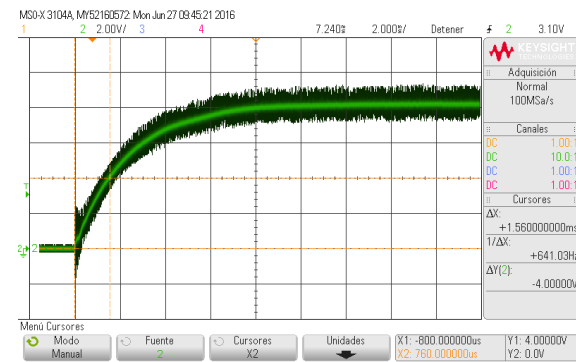
Figura 75: Comparativa ciclo de trabajo saturado al 90%

Regulador en lazo cerrado

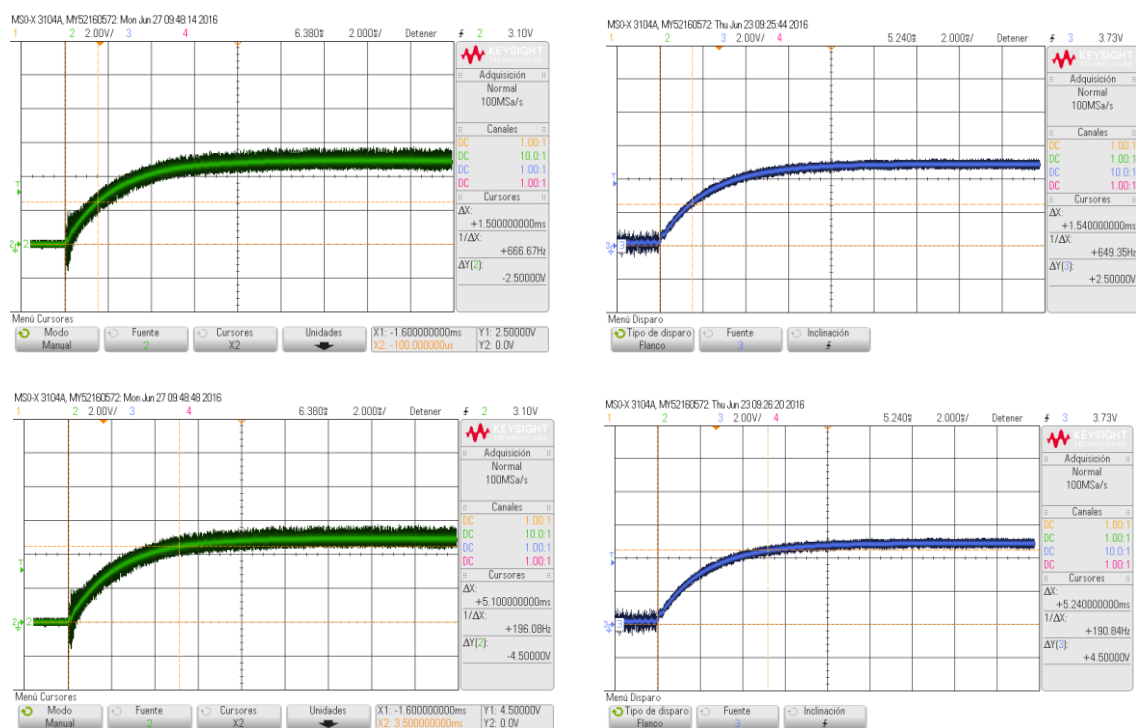
Tensión de referencia 5V y carga R = 10Ω



Tensión de referencia 8V y carga R = 10Ω



Tensión de referencia 5V y carga $R = 5\Omega$



Tensión de referencia 8V y carga $R = 5\Omega$

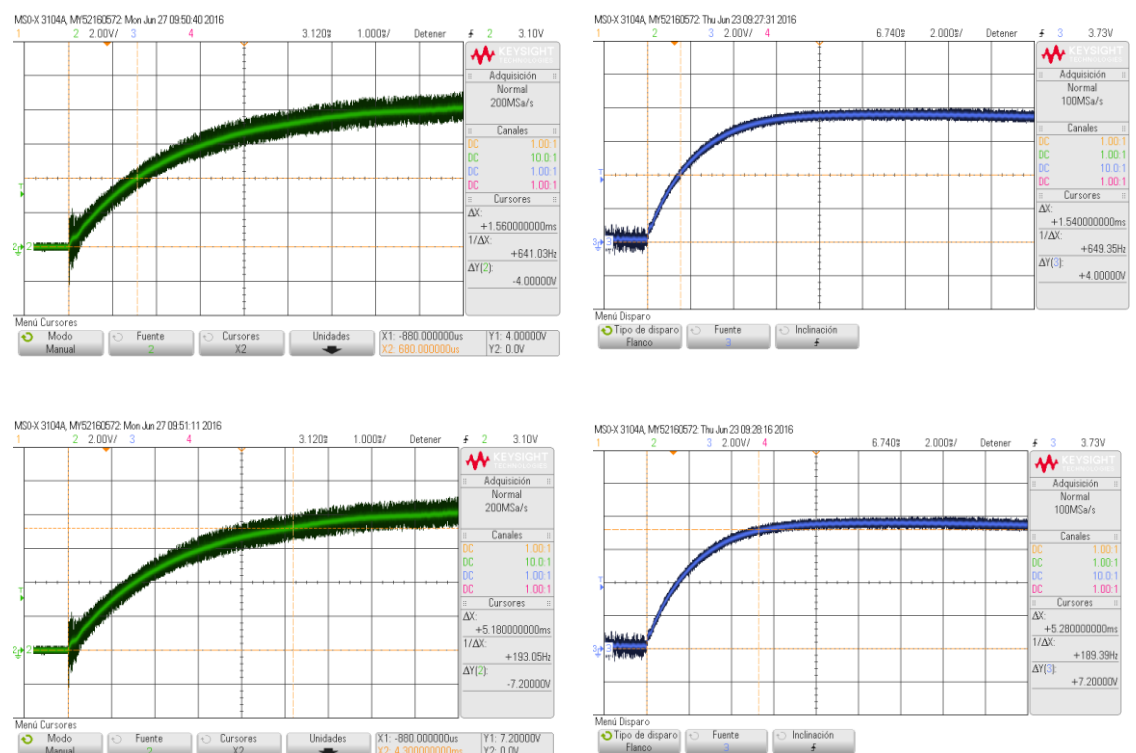


Figura 76: Respuesta regulador en lazo cerrado a diferentes cargas, para valores de tensión de referencia 5V y 8V